

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-291416

(43)Date of publication of application : 18.10.1994

(51)Int.Cl.

H01S 3/18

(21)Application number : 05-102083

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 28.04.1993

(72)Inventor : KIMURA TATSUYA

OKURA YUJI

TADA HITOSHI

KIMURA TADASHI

MORI KENZO

KAWAMA YOSHITATSU

KONNO NOBUAKI

(30)Priority

Priority number : 04148679

Priority date : 14.05.1992

Priority country : JP

04177483

10.06.1992

05 17185

04.02.1993

JP

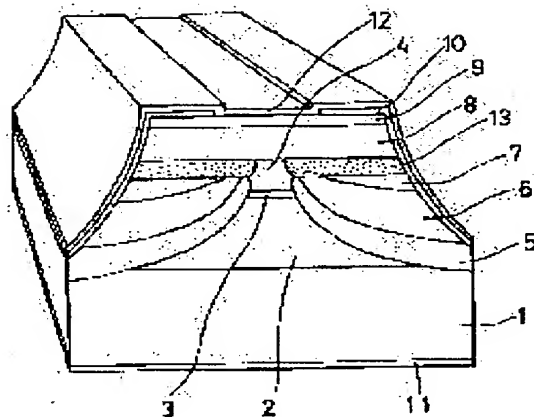
JP

(54) SEMICONDUCTOR LASER AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To prevent the generation of a leakage current by a method wherein a semiconductor laser is provided with an impurity introducing region, which separates electrically the upper part of a mesa stripe formed of impurities introduced through the side of the surface of a current blocking layer of a first conductivity type from a current blocking layer of a second conductivity type.

CONSTITUTION: A double heterostructure, which is constituted of a lower clad layer 2, an active layer 3 and a first upper clad layer 4, is formed into a mesa stripe form by two stripes of channel grooves formed by etching and a P-type InP buried layer 5, an N-type InP current blocking layer 6 and a P-type InP current blocking layer 7 are arranged in order in such a way as to bury the double heterostructure in the channel grooves. Moreover, a P-type impurity introducing region 13 is formed of P-type impurities introduced through the side of the surface of the layer 7 and is arranged so as to separate the upper part of a mesa stripe and the layer 6 from each other. Thereby, the generation of a defective structure, wherein the point part of the layer 6 and the upper part of the mesa stripe come into contact to each other, can be inhibited.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination] 11.06.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2823476

[Date of registration] 04.09.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

- 1:P型InP基板
- 2:P型InPクラッド層
- 3:アンダーブInGaAs活性層
- 4:n型InP第1上クラッド層
- 5:P型InP埋込層
- 6:n型InP電流ブロック層
- 7:P型InP電流ブロック層
- 8:n型InP第2上クラッド層
- 9:n型InGaAs コンタクト層
- 10:絶縁膜
- 11:P側電極
- 12:n側電極
- 13:P型不純物導入領域

【特許請求の範囲】

【請求項1】 第1導電型の基板上に順次配置された第1導電型クラッド層、活性層、及び第2導電型クラッド層を含むダブルヘテロ構造と、

該ダブルヘテロ構造をメサストライプ形状に成形する2条のメサ溝と、

該メサ溝内に上記ダブルヘテロ構造を埋め込むように順次結晶成長された第1導電型埋込層、第2導電型電流ブロック層、及び第1導電型電流ブロック層と、

前記第1導電型電流ブロック層表面側から導入された不純物により形成された上記メサストライプの上部と上記第2導電型電流ブロック層とを電気的に分離する不純物導入領域とを備えたことを特徴とする半導体レーザ。

【請求項2】 第1導電型半導体基板上にダブルヘテロ構造を形成し、該ダブルヘテロ構造をメサストライプ形状にエッチングする工程と、

メサストライプ形状のダブルヘテロ構造の両側に第1導電型埋込層、第2導電型電流ブロック層、及び第1導電型電流ブロック層を順次結晶成長してメサストライプを埋め込む工程と、

上記第1導電型電流ブロック層表面から不純物を導入して上記メサストライプの上部と上記第2導電型電流ブロック層とを電気的に分離する不純物導入領域を形成する工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項3】 請求項2記載の半導体レーザの製造方法において、

上記不純物の導入を、上記ダブルヘテロ構造をメサストライプ形状にエッチングする際のエッチングマスクをマスクとして用いて行なうことを特徴とする半導体レーザの製造方法。

【請求項4】 ストライプ状のダブルヘテロ構造の両側に電流ブロック構造を配置した半導体レーザにおいて、第1導電型半導体基板上に少なくとも活性層及び第2導電型半導体層を順次結晶成長して形成されたダブルヘテロ構造と、

それぞれ、上記第2導電型半導体層及び活性層を貫通して設けられ、上記ダブルヘテロ構造を上記ストライプ状の領域とその両側の領域に分離する、相互に平行な2条のストライプ状溝と、

該2条のストライプ状溝内に埋込形成された第1導電型半導体層とを備え、

上記両側の領域の上記第2導電型半導体層は上記電流ブロック構造の一部を構成するものであることを特徴とする半導体レーザ。

【請求項5】 第1導電型半導体基板上に少なくとも活性層、及び第2導電型の第1の半導体層を順次結晶成長し、ダブルヘテロ構造を形成する工程と、

それぞれ、上記第1の半導体層及び活性層を貫通し、上記ダブルヘテロ構造をストライプ状の領域とその両側の

領域に分離するように、相互に平行な2条のストライプ状溝を形成する工程と、

上記ストライプ状の領域の上面を除くウエハ全面に第1導電型の第2の半導体層を形成する工程と、

上記ストライプ状の領域の上面を含むウエハ全面に第2導電型の第3の半導体層を形成する工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項6】 請求項5記載の半導体レーザの製造方法において、

上記基板として成長表面の面方位が{100}面である基板を用い、上記ストライプ状溝のストライプ方向を〈011〉方向とすることを特徴とする半導体レーザの製造方法。

【請求項7】 成長表面の面方位が{100}面である第1導電型半導体基板上に少なくとも活性層、第2導電型の第1の半導体層、及び第1導電型の第2の半導体層を順次結晶成長する工程と、

上記第2の半導体層を貫通し、上記第1の半導体層の表面を露呈する〈011〉方向にのびるストライプ状の第1の溝を形成する工程と、

上記第1の溝の両隅部に、上記第1の半導体層及び活性層を貫通し、これら第1の半導体層及び活性層をストライプ状の領域とその両側の領域に分離する、〈011〉方向にのびる2条のストライプ状溝を形成する工程と、

上記2条の溝を埋め込む第1導電型の第3の半導体層を形成する工程と、

上記ストライプ状の領域上、上記第3の半導体層上、及び上記第2の半導体層上に第2導電型の第4の半導体層を形成する工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項8】 第1導電型基板上に第1導電型クラッド層、活性層、及び第2導電型クラッド層を順次結晶成長して形成されたその側面がその表面上に結晶成長が生じない非結晶成長面からなるリッジストライプ形状のダブルヘテロ構造と、

該ダブルヘテロ構造の両側の上記基板上に該ダブルヘテロ構造に接して配置された、その表面が平坦な第2導電型電流ブロック層とを備えたことを特徴とする半導体レーザ。

【請求項9】 成長表面の面方位が{100}面である第1導電型半導体基板上に、活性層を有する能動領域を{111}B面と{100}面で囲まれた〈011〉方向の断面台形形状のリッジストライプ形状となるように形成する工程と、

該リッジストライプ形状の能動領域の両側の基板上に第2導電型の半導体層を{100}面に平行にかつ平坦に形成する工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項10】 請求項9記載の半導体レーザの製造方

10

20

30

40

50

法において、上記能動領域を、基板表面に〈011〉方向のストライプ状開口を有する選択成長用マスクを設けた状態で、第1導電型半導体層、活性層、及び第2導電型半導体層を順次結晶成長することにより形成することを特徴とする半導体レーザの製造方法。

【請求項11】 請求項10記載の半導体レーザの製造方法において、上記選択成長用マスクとして、〈011〉方向のストライプ状開口を複数設けたものを用いることを特徴とする半導体レーザの製造方法。

【請求項12】 InP基板上に結晶成長され畝状に成形されたInGaAsP活性層を含むダブルヘテロ構造を、液相エピタキシャル成長された電流ブロック層で埋め込んだ構造を有する半導体レーザを製造する方法において、

上記基板上に上記活性層を含み最上層がInP層であるダブルヘテロ構造を構成する複数の半導体層を結晶成長した後、連続して上記InP層上にダミー層を結晶成長する工程と、

上記ダミー層をエッチングにより除去した後、露出した上記InP層表面をフッ酸処理した後、直ちにレジストを塗布する工程と、

該レジストをストライプ状にパターンニングする工程と、上記ストライプパターンをマスクとして、開口部を上記活性層の下までエッチングして上記ダブルヘテロ構造を畝状に成形する工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項13】 請求項12記載の半導体レーザの製造方法において、上記ダミー層はInGaAsP層であることを特徴とする半導体レーザの製造方法。

【請求項14】 請求項12記載の半導体レーザの製造方法において、上記ダミー層は上記InP層上に形成されたInGaAsP層と該InGaAsP層上に形成されたInP層の2層構造の層であることを特徴とする半導体レーザの製造方法。

【請求項15】 請求項14記載の半導体レーザの製造方法において、InPダミー層を塩酸でInGaAsPダミー層を硫酸、過酸化水素、水の混合液でエッチングすることを特徴とする半導体レーザの製造方法。

【請求項16】 請求項12記載の半導体レーザの製造方法において、パターンの開口部を臭素とメタノールの混合液でエッチングすることを特徴とする半導体レーザの製造方法。

【請求項17】 面方位が(001)あるいは(001)近傍であるp型半導体基板上に順次結晶成長された活性層及びn型半導体層が〈110〉方向に沿ったストライプ形状に成形され、該ストライプ側部にp型第1半導体埋め込み層、n型第2半導体埋め込み層、及びp型第3半導体埋め込み層が順次形成されたメサストライプ埋込型半導体レーザにおいて、上記ストライプ側部に形成された、(111)B面とし

て表される結晶面を有する上記p型第1半導体埋め込み層と、

該p型第1半導体埋め込み層上に、活性層上部に形成された上記n型半導体層と接触することなく形成された上記n型第2半導体埋め込み層とを備えたことを特徴とする半導体レーザ。

【請求項18】 請求項17記載の半導体レーザにおいて、上記メサストライプは、そのストライプ幅が基板に近づくに従い傾斜角55°以上90°以下の傾きで増加するメサストライプ、または最上部の傾斜角が55°以上90°以下で円弧状に増加するメサストライプ、または上部が傾斜角55°以上90°以下の傾きで増加し下部が円弧状に増加するメサストライプであることを特徴とする半導体レーザ。

【請求項19】 請求項17または請求項18記載の半導体レーザにおいて、p型半導体及びn型半導体がInPであり活性層がInGaAsPまたはInGaAsであることを特徴とする半導体レーザ。

【請求項20】 面方位が(001)あるいは(001)近傍であるp型半導体基板上に順次結晶成長され〈110〉方向に沿ったストライプ形状に成形された活性層を含む半導体多層膜側部にMOCVD法を用いて(111)B面を上記ストライプ上端部側面に有するp型第1半導体層を形成する工程と、

上記ストライプ側面に形成される(111)B面とメサストライプ側部の底面より成長した結晶面とが繋がらない段階でのみ、上記p型第1半導体層上にn型第2半導体層を結晶成長する工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項21】 請求項20記載の半導体レーザの製造方法において、上記半導体多層膜は、そのストライプ幅が基板に近づくに従い傾斜角55°以上90°以下の傾きで増加するメサストライプ、または最上部の傾斜角が55°以上90°以下で円弧状に増加するメサストライプ、または上部が傾斜角55°以上90°以下の傾きで増加し下部が円弧状に増加するメサストライプに成形されることを特徴とする半導体レーザの製造方法。

【請求項22】 請求項20または請求項21記載の半導体レーザの製造方法において、p型半導体及びn型半導体がInPであり活性層がInGaAsPまたはInGaAsであることを特徴とする半導体レーザの製造方法。

【請求項23】 n型半導体基板上に順次結晶成長されメサストライプ形状に成形された、活性層及び該活性層の下側及び上側に配置されたn型及びp型クラッド層を含む半導体多層膜と、

上記メサストライプの側面部に形成された、上記半導体多層膜の積層面に対する角度が(111)B面として表される結晶面が上記半導体多層膜の積層面となす角度よりも大きくかつ90°以下である結晶面を上記活性層の

側面の位置に有するp型半導体埋め込み層とを備えたことを特徴とする半導体レーザ。

【請求項24】 請求項23記載の半導体レーザにおいて、上記メサストライプは、そのストライプ幅が基板に近づくに従い傾斜角 55° 以上 90° 以下の傾きで増加するメサストライプ、または最上部の傾斜角が 55° 以上 90° 以下で円弧状に増加するメサストライプ、または上部が傾斜角 55° 以上 90° 以下の傾きで増加し下部が円弧状に増加するメサストライプであることを特徴とする半導体レーザ。

【請求項25】 請求項23または請求項24記載の半導体レーザにおいて、p型半導体及びn型半導体がInPであり活性層がInGaAsPまたはInGaAsであることを特徴とする半導体レーザ。

【請求項26】 面方位が(001)あるいは(001)近傍であるn型半導体基板上に活性層を含む半導体多層膜を順次結晶成長する工程と、
該半導体多層膜を(110)方向に沿ったストライプ形状に成形する工程と、

上記ストライプ形状に成形された半導体多層膜側部に、MOCVD法を用いて、(111)B面を上記ストライプ上端部側面に有し、上記半導体多層膜の積層面に対する角度が(111)B面として表される結晶面が上記半導体多層膜の積層面となす角度よりも大きくかつ 90° 以下である結晶面を上記活性層の側面の位置に有するp型半導体層を形成する工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項27】 請求項26記載の半導体レーザの製造方法において、上記半導体多層膜は、そのストライプ幅が基板に近づくに従い傾斜角 55° 以上 90° 以下の傾きで増加するメサストライプ、または最上部の傾斜角が 55° 以上 90° 以下で円弧状に増加するメサストライプ、または上部が傾斜角 55° 以上 90° 以下の傾きで増加し下部が円弧状に増加するメサストライプに成形されることを特徴とする半導体レーザの製造方法。

【請求項28】 請求項26または請求項27記載の半導体レーザの製造方法において、p型半導体及びn型半導体がInPであり活性層がInGaAsPまたはInGaAsであることを特徴とする半導体レーザの製造方法。

【請求項29】 半導体基板上に順次結晶成長されメサストライプ形状に成形された、活性層及び該活性層の下側及び上側に配置されたクラッド層を含む半導体多層膜と、上記メサストライプ側部に該メサストライプを埋め込むように結晶成長された埋め込み層とを有するメサストライプ埋め込み型の半導体レーザにおいて、
上記メサストライプの側面と上記埋め込み層との間に配置された上記埋め込み層の結晶成長温度よりも低い基板温度で形成した薄い低温成長層を備えたことを特徴とする半導体レーザ。

【請求項30】 請求項29記載の半導体レーザにおいて、上記低温成長層は、 300°C ～ 500°C の範囲内の基板温度をその結晶成長の開始温度として形成されたものであることを特徴とする半導体レーザ。

【請求項31】 請求項29または請求項30記載の半導体レーザにおいて、上記低温成長層は、 $3\sim 300\text{nm}$ の範囲内の層厚を有するものであることを特徴とする半導体レーザ。

【請求項32】 半導体基板上に活性層及び該活性層の下側及び上側に配置されたクラッド層を含む半導体多層膜を順次結晶成長する工程と、
該半導体多層膜をメサストライプ形状に成形する工程と、

上記メサストライプ形状に成形された半導体多層膜側部に、後述する埋め込み成長よりも低い基板温度で薄い低温成長層を形成する工程と、
上記低温成長層上に、上記メサストライプを埋め込むように半導体層を結晶成長する工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項33】 請求項32記載の半導体レーザの製造方法において、上記低温成長層を、 300°C ～ 500°C の範囲内の基板温度をその結晶成長の開始温度として形成することを特徴とする半導体レーザの製造方法。

【請求項34】 請求項32または請求項33記載の半導体レーザにおいて、上記低温成長層を、 $3\sim 300\text{nm}$ の範囲内の層厚に形成することを特徴とする半導体レーザの製造方法。

【請求項35】 InP基板上にInGaAsP活性層及び該活性層の下側及び上側に配置されたInPクラッド層を含む半導体多層膜を結晶成長する工程と、
該半導体多層膜をメサストライプ形状に成形する工程と、

ホスフィン(PH₃)とアルシン(AsH₃)を、アルシンの供給比を活性層を成長する場合の比率よりも小さい比率で供給しながら基板を後述する埋め込み成長を行なう結晶成長温度まで昇温する工程と、

上記メサストライプ形状に成形された半導体多層膜側部にInP層を含む多層膜の埋め込み成長を行う工程とを含むことを特徴とする半導体レーザの製造方法。

40 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体レーザ及びその製造方法に関し、特に、優れた電流狭窄構造を有する半導体レーザを高歩留りで作製することのできる半導体レーザ装置及びその製造方法に関するものである。

【0002】

【従来の技術】図45は例えばエレクトロニクスレーザ、24巻、24号、1500～1501頁(1988年)(Electronics Letters, Vol.24, No.24, pp.1500-1501(1988))に掲載された従来のInP系のダブルチャ

ネル埋込ヘテロ型(Double-Channel Buried-Heterostructure: DCBH) 半導体レーザの主要部を示す断面図であり、図において、201はp型InP基板、202はp型InPクラッド層、203はアンドープInGaAsP活性層、204はn型InP第1上クラッド層、205はp型InP埋込層、206はn型InPブロック層、207はp型InPブロック層、208はn型InP第2上クラッド層、209はn型InGaAsPコンタクト層である。また210はp側電極、211はn側電極である。なお、上記文献では回折格子を含む光ガイド層を活性層上に備えたものを掲載しているが、この図では光ガイド層は省略している。

【0003】図46は図45に示す半導体レーザの製造方法における光導波路形成工程を示す断面工程図であり、図において、図45と同一符号は同一又は相当部分であり、215はネガ型レジストである。

【0004】次に、従来半導体レーザの製造方法における光導波路の形成工程を図46に沿って説明する。まず、結晶方位として{100}面を表面としたp型InP基板201上に例えば有機金属気相成長(MOCVD)法を用いて、図46(a)に示すように、層厚約1μmのp型InP層202、層厚約0.1μmのInGaAsP活性層203、及び層厚約1μmのn型InP第1上クラッド層204を順次エピタキシャル成長する。

【0005】次にn型InP第1上クラッド層204上にネガ型レジスト215を塗布し、これを写真製版等によりパターンニングして、図46(b)に示すような、〈011〉方向にのびる、幅約6μmのストライプパターンを形成する。ここで、結晶成長を行なったウエハは、上述のストライプパターン形成工程に移行するまでの間に結晶成長層の最上層(n型InP第1上クラッド層204)表面上に酸化膜が形成される。従って、結晶表面をフッ酸処理して、表面の酸化膜を除去した後に上述のレジスト塗布を行なう。

【0006】ストライプパターン形成工程に続いて、パターン開口部を臭素(Br)ーメタノール混合液で活性層の下までエッチングすることにより、図46(c)のように活性層の幅が1~2μmの光導波路を形成する。

【0007】次に、レジストを除去した後、液相エピタキシャル成長(LPE)法により図46(d)に示すように、p型InP埋込層205、n型InPブロック層206、及びp型InPブロック層207を光導波路の両サイドの基板201上に光導波路を埋め込むように順次エピタキシャル成長する。

【0008】この後ウエハ全面にn型InP層第2上クラッド層208、n型InGaAsPコンタクト層209を順次エピタキシャル成長する工程、基板201裏面、コンタクト層209表面にそれぞれp側電極210、n側電極211を形成する工程等を経て、図45に示す半導体レーザが完成する。

【0009】また、図47は図46に示した製造方法で生じやすいp型InPブロック層のリッジ上部への成長を防止するために考案された製造方法の工程別断面図である。この方法では、p型InP基板201上にp型InPバッファ層202、InGaAsP活性層203、n型InPクラッド層204を結晶成長した後(図47(a))、SiO₂膜216をスパッタ法等で成膜し、SiO₂膜216を図47(b)に示すように〈011〉方向のストライプ状にパターンニングした後、これをマスクとして上記と同様のエッチング液により〈011〉方向にリッジストライプを作製する(図47(c))。

【0010】その後、SiO₂マスク216を残した状態でp型InP埋込層205、n型InPブロック層206、p型InPブロック層207をSiO₂マスク216で覆われていない領域に成長する(図47(d))。

【0011】この後、SiO₂マスク216をフッ化水素(HF)で除去し、図46の製造方法と同様、ウエハ全面にn型InP層第2上クラッド層208、n型InGaAsPコンタクト層209を順次エピタキシャル成長する工程、基板201裏面、コンタクト層209表面にそれぞれp側電極210、n側電極211を形成する工程等を経て、図45に示す半導体レーザが完成する。

【0012】次に動作について説明する。図45に示された半導体レーザに順バイアス電圧を印加し、電流を流すことにより、n型InP上クラッド層204より電子が、またp型InP下クラッド層202よりホールがInGaAsP活性層203に注入され、InGaAsP活性層203中で電子とホールが発光再結合することにより、レーザ発振が生じる。p型InP埋込層205、n型InPブロック層206、及びp型InPブロック層207は、InGaAsP活性層203側部をInGaAsP活性層203より屈折率の小さいInP結晶で埋め込むことにより活性層203で発生した光を活性層203内に有効に閉じ込めること、およびn型InPブロック層206とp型InPブロック層207により逆バイアス接合を形成することにより電流狭窄を行い、活性層203へ効率よく電流を注入することを目的として形成されたものである。

【0013】しかしながら、図45に示された半導体レーザ構造では、図48に示すように、p型InP基板201、p型InP埋込層205、n型InPクラッド層204からなる経路(第1の無効電流経路)は順バイアス接合のみで形成されているため、レーザに注入された電流のすべてがInGaAsP活性層203に注入されるのではなく、InGaAsP活性層203を通らず、上記経路を流れるレーザ発振に寄与しない無効電流が存在する。この無効電流の存在はレーザの発振しきい値や最大出力、温度特性等に大きな影響を与える。また、流れる無効電流の量は上記経路の抵抗に依存する。従って、無効電流が少なく、特性のよい半導体レーザを得る

10

20

30

40

50

には、上記経路の抵抗を高くすることが必要で、そのためには、活性層203側面のp型InP埋込層205の厚さを薄く制御し、活性層203とn型InPブロック層206間の距離を小さくし、上記第1の無効電流経路の幅（以下、リークパス幅とも記す）を狭くすることにより上記経路の抵抗を高くする必要がある。

【0014】また、n型InPブロック層206とn型InPクラッド層204が接触した場合においては、図49に示すように、上記経路以外にp型InP基板201、n型InPブロック層206、n型InPクラッド層204という順バイアス接合のみからなる第2の無効電流経路が発生する。このn型InPブロック層206とn型InPクラッド層204の接触はリッジ部上端部側面のp型InP埋込層205の厚さが少ないほど発生しやすい。即ち、上述の第1の無効電流経路の抵抗を高くするため、活性層203の側面のp型InP埋込層205の厚さを薄くすると、同時にリッジ部上端部のp型InP埋込層205の厚さも薄くなり、n型InPブロック層206とn型InPクラッド層204が接触し、

上記第2の無効電流経路が生じることとなる。

【0015】従って、従来の半導体レーザの製造方法においては、無効電流が少なく、特性のよい半導体レーザを得るには、p型InP埋込層205の成長厚さを厳密に制御しなければならない。

【0016】しかしながら、従来の半導体レーザの製造に用いられているLPE法による結晶成長では、成長層の厚さ制御性が十分でなく、そのため無効電流の少ない良好な特性の半導体レーザが得られないという問題があった。

【0017】また、膜厚制御性の優れたMOCVD法での結晶成長はn型InPブロック層206とn型InPクラッド層204を接触させずに成長できるかどうか未知であり、適用されていない。

【0018】さらに、図47に示す製造方法においては、SiO₂膜216をマスクとし、エッチングによりリッジストライプを作製した場合、SiO₂膜216の上クラッド層204に対する密着性が高いことから、マスク下での横方向のエッチングが進まず、図50に示すように、リッジ上端部側面が(111)A面からなる逆メサ構造となる。そして、エッチング工程後のLPE工程では、(111)A面からなるリッジ上端部側面にはp型InP埋込層205の成長が進まず、その結果、図51に示すようにn型InPブロック層206とn型InPクラッド層204が接触し、上述の第2の無効電流経路が発生し、良好な特性の半導体レーザが得られない。また、この製造方法では、結晶成長後の平坦性が悪く、その後の電極形成等のプロセスが困難となり、レーザの歩留りが低下するという問題があった。

【0019】このリッジ上端部側面が(111)A面からなる逆メサ構造になることによる問題は、フォトレジ

スト215をマスクとし、リッジ形成を行った場合においても生ずる。この問題について以下説明する。

【0020】上述のような光導波路の形成では、図46(c)におけるエッチング工程で形成される光導波路の断面形状は、即ち(011)方向のストライプ状パターンをマスクとしてBr-メタノール混合液をエッチャントとして用いた場合のエッチング形状はn型InP上クラッド層204表面に対するレジストの密着性に依存する。図46(d)に示すような所望の埋込電流ブロック層の形状を得るためには、エッチング工程で形成される光導波路の断面形状が図46(c)に示すようななだらかな山状（順メサ形状）である必要があるが、これは上クラッド層204表面に対するレジストの密着性が低い場合に、マスク下において横方向にサイドエッチングが進む結果、得られる形状である。一方、レジストの密着性が高い場合、マスク下におけるサイドエッチング量が少ないため、光導波路は図50に示すような逆メサ形状となる。このような形状にエッチングされたウエハに図46(d)に示すLPE法による埋込電流ブロック層のエピタキシャル成長を行なうと、逆メサとなっている部分での成長速度が遅く、図51に示すように、n-InPブロック層206がn-InP上クラッド層204と接触した構造となり、このような構造となった場合、上述のように、第2の無効電流経路の形成によりレーザ動作時におけるリーク電流が増大する。

【0021】また、図52は例えば特開昭63-169088号公報に示された従来の半導体レーザの構造を示す断面図である。図において221はp型InP基板である。p型InPバッファ層222は基板221上に配置され、InGaAsP活性層223はバッファ層222上に配置され、n型InP第1上クラッド層224は活性層223上に配置される。第1上クラッド層224、活性層223、及びバッファ層222の一部はエッチングによりメサストライプ構造225に成形されている。p型InP第1埋込層226はメサストライプ構造225の側壁上に配置され、n型InP第2埋込層227は第1埋込層226上に配置され、p型InP第3埋込層228は第2埋込層227上に配置される。n型InP第2上クラッド層229はメサストライプの頂上部、及び第3埋込層228上に配置される。

【0022】このような構造の半導体レーザは、上述したように、従来、p型InP基板221上にバッファ層222、活性層223、及び第1上クラッド層224を順次結晶成長し、エッチングにより第1上クラッド層224、活性層223、及びバッファ層222の一部をメサストライプ状に成形した後、液相エピタキシャル成長（LPE）法によりメサストライプの両サイド上にp型InP第1埋込層226、n型InP第2埋込層227、p型InP第3埋込層228を順次結晶成長させ、メサストライプを埋め込み、さらにウエハ表面全面に第

2上クラッド層229を結晶成長して作製している。

【0023】次に動作について説明する。図52に示された半導体レーザにおいて、p型InP基板221及びn型InP上クラッド層229の両端に順バイアス電圧を印加すると、それぞれのキャリアであるホールと電子がInGaAsP活性層223に注入されInGaAsP活性層223中で発光再結合することによりレーザ発振が生じる。p型InP第1埋込層226、n型InP第2埋込層227、p型InP第3埋込層228は、上述したように、InGaAsP活性層223側部をInGaAsP活性層223より屈折率の小さいInP結晶で埋め込むことにより活性層223で発生した光を活性層223内に有効に閉じ込めること、及びn型InP第2埋込層227とp型InP第3埋込層228により逆バイアス接合を形成することにより電流狭窄を行ない活性層223に効率よくキャリアを注入することを目的として形成されたものである。

【0024】しかしながら図52に示された半導体レーザでは、n型InP第1上クラッド層224とn型InP第2埋込層227がつながっているため、図53に示すように、p型InP基板221からn型InP第2埋込層227を通り、n型InP第1上クラッド層224へ続く第1の無効電流経路230が形成される。活性層223へ流れずこの無効電流経路230を流れる電流量は、活性層部のヘテロ接合でのビルトインポテンシャルが無効電流経路230中のホモ接合のビルトインポテンシャルより小さいため、低出力でレーザを駆動する場合は問題となるほど多くはないが、高出力で動作させる場合においては大きな問題となる。

【0025】従ってレーザの高出力を実現する上では、n型InP第1上クラッド層224とn型InP第2埋込層227を分離することが不可欠である。この分離を実現するための方法について特開昭63-202985号公報に一例が示されている。この公報により示されている分離方法は、図54に示すようにn型InP第2埋込層227とp型InP第1埋込層226またはp型InP第3埋込層228との間での不純物の相互拡散を利用し、n型InP第2埋込層227の先端部をp型に反転してp型反転領域227'を形成し、n型InP第1上クラッド層224とn型InP第2埋込層227とを電氣的に分離するものである。

【0026】しかしながらこの方法では各埋込層226、227、228の設計に制限が生じる。活性層223へ効率よく電流を注入するために設けられた各埋込層226、227、228及びn型InP第2上クラッド層229により形成されたpnpnサイリスタ構造からなる電流狭窄構造においては、レーザの高出力化を実現するためにはpnpnサイリスタ構造の耐圧が高いことが重要であり、そのためにはn型InP第2埋込層227のキャリア濃度を高くしp型InP第1埋込層226

から注入されるホールをn型InP第2埋込層227で電子と再結合させ、p型InP第3埋込層228へのホールの注入を防ぐ必要がある。しかし上述した不純物の相互拡散を用いたレーザの製造方法では、n型InP第2埋込層227のキャリア濃度を高くした場合、n型InP第2埋込層227の先端をp型に反転させるためには、p型InP第1埋込層226またはp型InP第3埋込層228のキャリア濃度も高くしなければならない。一般的に用いられるZnをp型不純物とした場合、p型キャリア濃度を $3 \times 10^{18} \text{ cm}^{-3}$ 以上にすることは困難であり、そのためn型InP第2埋込層227のキャリア濃度を高くした場合、n型InP第2埋込層227の先端をp型に反転させることができなくなる。またn型InP第1埋込層227の先端をp型に反転させるためにp型InP埋込層226、228のキャリア濃度を高くすると、不純物の拡散がn型InP第2埋込層227へのみならず活性層223へも生じるため、フリーキャリア吸収により活性層223から出た光の吸収損失が増加し発振しきい値を増大させるという問題も生ずる。

【0027】従ってこの製造方法ではn型InP第2埋込層227のキャリア濃度を十分高くはできず、pnpnサイリスタ構造の耐圧を高くすることができないという問題点があった。

【0028】またn型InP第2埋込層227とn型InP第1上クラッド層224が分離した構造においては、図55に示すように、p型InP第1埋込層226からn型InP第1上クラッド層224へ続く第2の無効電流経路231が形成される。この第2の無効電流経路231を流れる電流量は、p型InPの抵抗がn型InPの抵抗より大きいため、図53に示すようなn型InP第2埋込層227とn型InP第1上クラッド層224が接触した構造での第1の無効電流経路230を流れる電流量より少ないが、レーザの高出力特性に影響を与える。この第2の無効電流経路231を流れる電流量を低減するには、無効電流経路231の抵抗を高くすることが必要である。抵抗を高くするための手法としては、p型InP埋込第1層226のキャリア濃度を低くする、または活性層223とn型InP第2埋込層227との距離を小さくし無効電流経路の幅232を狭くするといった方法が考えられるが、前者ではn型InP第1上クラッド層224とp型InP埋込第1層226により形成されるpn接合のビルトインポテンシャルが小さくなるため、無効電流の抑制に効果的ではない。従ってリークパス幅232を狭くすることが良好な高出力特性を得るために重要である。図56はリークパス幅232とレーザの最大出力(Pmax)の関係を示す図である。この図からわかるようにレーザの高出力特性はリークパス幅232に大きく依存する。

【0029】また、図57は例えばジャーナルオブライトウェイブテクノロジー、7巻、10号(1989

10

20

30

40

50

年), 1515頁(JOURNAL OF LIGHTWAVE TECHNOLOGY, VOL. 7, NO. 10, OCTOBER 1989, P. 1515)に示された従来のn型基板を用いたInGaAsP系材料の埋め込みヘテロ型半導体レーザの構造を示す斜視図であり、図58はその動作を説明するための断面模式図である。図において241はn型InP基板、242はn型InP下クラッド層、243はアンドープInGaAsP活性層、244はp型InP第1上クラッド層、245はp型InP電流ブロック層、246はn型InP電流ブロック層、247はp型InP第2上クラッド層、248はp型InGaAsPコンタクト層である。また、249はn側電極、250はp側電極である。なお、上記文献では回折格子を含む光ガイド層を活性層上に備えたものを掲載しているが、この図では光ガイド層は省略している。

【0030】図59は図57の半導体レーザの作製プロセスを示す断面工程図である。まずMOCVD法を用いてn型InP基板241上にn型InPクラッド層242、アンドープInGaAsP活性層243、及びp型InPクラッド層244を順次成長した後、スパッタを用いてSiO₂膜251を成膜し、その後、通常のフォトリソグラフィ技術を用いて、図59(a)に示すように、SiO₂膜251をストライプ状に加工する。

【0031】次に、SiO₂膜251をマスクとして用い、Brメタノールをエッチャントとして用いて、図59(b)のようにメサエッチングを行なった後、再びMOCVD法を用いてp型InP電流ブロック層245、及びn型InP電流ブロック層246を図59(c)に示すように順次結晶成長する。

【0032】この後、HFによりSiO₂膜251を除去し、ウエハ全面にMOCVD法を用いてp型InPクラッド層247、及びp型InGaAsPコンタクト層248を順次エピタキシャル成長する工程、基板241表面、コンタクト層248表面にそれぞれn側電極249、p側電極250を形成する工程等を経て、図57に示す半導体レーザが完成する。

【0033】次に動作について説明する。図57に示された半導体レーザにおいて、電極249、250を介してn型InP基板241及びp型InGaAsPコンタクト層248の両端に順バイアス電圧を印加すると、キャリアであるホールと電子がInGaAsP活性層243に注入されInGaAsP活性層243中で発光再結合することによりレーザ発振が生じる。p型InP電流ブロック層245、n型InP電流ブロック層246はInGaAsP活性層243側部をInGaAsPよりも屈折率の小さいInP結晶で埋め込むことにより活性層243で発生した光を活性層243内に有効に閉じ込めること、及びp型InP電流ブロック層とn型InP電流ブロック層により逆バイアス接合を形成することにより電流狭窄を行い活性層243に効率よくキャリアを

注入することを目的として形成されたものである。

【0034】

【発明が解決しようとする課題】従来のダブルチャネル埋込ヘテロ型の半導体レーザ装置は以上のように構成されており、その製造に用いられているLPE法による結晶成長では、成長層の厚さ制御性が十分でなく、そのため無効電流の少ない良好な特性の半導体レーザが安定して得られないという問題があった。

【0035】また、従来のInP系半導体レーザの製造方法における光導波路の形成は上述のように、レジスト塗布に先だて、フッ酸処理により結晶表面の酸化膜を除去するようにしているが、結晶表面に形成される酸化膜の状態は結晶工程終了からの経過時間、雰囲気の違いにより各ウエハ毎に異なっていたり、また同一のウエハ面内においても酸化膜の状態が異なっている場合があり、上述のフッ酸処理により、レジストが塗布される結晶表面の状態を均一なものとするのは困難である。このため、結晶表面に対するレジストの密着性にウエハ毎、又はウエハ面内において不均一が生じ、エッチング後の光導波路の断面形状が一定のものとならず、引き続き行われる埋込み成長を再現性良く行うことが困難となり、歩留りが悪いという問題点があった。

【0036】また、従来のp型基板を用いた埋込ヘテロ構造半導体レーザでは、良好な高出力特性をもつレーザを得るためには、n型InP第2埋込層7のキャリア濃度を高くするとともに、n型InP第1上クラッド層4とn型InP第1埋込層7の分離した状態で活性層3とn型InP第1埋込層7を近づけなければならないが、従来の不純物の相互拡散を用いた製造方法ではn型InP第1埋込層7のキャリア濃度を十分高くはできず、またLPE法を用いた埋め込み結晶成長ではn型InP第1埋込層7と活性層3の距離を十分に制御することができず、良好な特性のレーザを均一性、再現性よく作成することができないという問題点があった。

【0037】また、図57に示す従来のn型基板を用いた埋込ヘテロ型半導体レーザでは、p型InPクラッド層244とp型InP電流ブロック層245がつながっているため、図58に示すように、p型InPクラッド層244からp型InP電流ブロック層245を介してn型InPクラッド層242へ続く無効電流経路255が形成される。活性層243へ流れずこの無効電流経路255を流れる電流量は、活性層部のヘテロ接合でのビルトインポテンシャルが無効電流経路255中のホモ接合のビルトインポテンシャルより小さいため、低出力でレーザを駆動する場合は問題となるほど多くはないが、高出力で動作させる場合においては大きな障害となる。この従来例では、図58に示すように、p型InP電流ブロック層245は活性層243の位置よりも高い位置まで平坦に埋め込まれており、上述の無効電流経路255の抵抗を高くするための工夫はなされていないため、

高出力動作特性が悪いという問題点があった。

【0038】この発明は上記のような問題点を解消するためになされたもので、無効電流が低減された高性能のダブルチャンネル埋込ヘテロ型の半導体レーザ、及びその製造方法を提供することを目的とする。

【0039】また、この発明は、リーク電流が少ない、またリーク電流経路幅が制御性よく、かつ容易に形成できる半導体レーザ及びその製造方法を提供することを目的とする。

【0040】また、この発明は、無効電流の少ない、良好な特性の半導体レーザを得ることを目的としており、さらに、この半導体レーザを得るのに適した製造方法を提供することを目的とする。

【0041】また、この発明は、結晶表面の状態を一定にすることで常にエッチング形状を一定にし、引き続き行われる埋込み成長を再現性良く行えるようにすることを目的とする。

【0042】また、この発明は、ウェハ内での特性の均一性が優れ、かつ再現性よく製造できる、良好な高出力特性をもつ埋込ヘテロ構造半導体レーザ及びその製造方法を得ることを目的とする。

【0043】また、この発明は、無効電流が少なく、優れた性能を有する、n型基板を用いた埋込ヘテロ型の半導体レーザ及びその製造方法を得ることを目的とする。

【0044】

【課題を解決するための手段】この発明に係る半導体レーザは、第1導電型の基板上に順次配置された第1導電型クラッド層、活性層、及び第2導電型クラッド層を含むダブルヘテロ構造と、該ダブルヘテロ構造をメサストライプ形状に成形する2条のメサ溝と、該メサ溝内に上記ダブルヘテロ構造を埋め込むように順次結晶成長された第1導電型埋込層、第2導電型電流ブロック層、及び第1導電型電流ブロック層と、前記第1導電型電流ブロック層表面側から導入された不純物により形成された上記メサストライプの上部と上記第2導電型電流ブロック層とを電氣的に分離する不純物導入領域とを備えたものである。

【0045】また、この発明に係る半導体レーザの製造方法は、第1導電型半導体基板上にダブルヘテロ構造を形成し、該ダブルヘテロ構造をメサストライプ形状にエッチングした後、メサストライプ形状のダブルヘテロ構造の両側に第1導電型埋込層、第2導電型電流ブロック層、及び第1導電型電流ブロック層を順次結晶成長してメサストライプを埋め込み、この後上記第1導電型電流ブロック層表面から不純物を導入して上記メサストライプの上部と上記第2導電型電流ブロック層とを電氣的に分離する不純物導入領域を形成するようにしたものであり、さらに、この不純物の導入を、上記ダブルヘテロ構造をメサストライプ形状にエッチングする際のエッチングマスクをマスクとして用いて行なうようにしたもので

ある。

【0046】また、この発明に係る半導体レーザは、ストライプ状のダブルヘテロ構造の両側に電流ブロック構造を配置した半導体レーザにおいて、第1導電型半導体基板上に少なくとも活性層及び第2導電型半導体層を順次結晶成長して形成されたダブルヘテロ構造と、それぞれ、上記第2導電型半導体層及び活性層を貫通して設けられ、上記ダブルヘテロ構造を上記ストライプ状の領域とその両側の領域に分離する、相互に平行な2条のストライプ状溝と、該2条のストライプ状溝内に埋込形成された第1導電型半導体層とを備え、上記両側の領域の上記第2導電型半導体層が上記電流ブロック構造の一部を構成するものである。

【0047】また、この発明に係る半導体レーザの製造方法は、第1導電型半導体基板上に少なくとも活性層、及び第2導電型の第1の半導体層を順次結晶成長し、ダブルヘテロ構造を形成した後、それぞれ、上記第1の半導体層及び活性層を貫通し、上記ダブルヘテロ構造をストライプ状の領域とその両側の領域に分離するように、相互に平行な2条のストライプ状溝を形成し、この後、上記ストライプ状の領域の上面を除くウェハ全面に第1導電型の第2の半導体層を形成し、さらに、上記ストライプ状の領域の上面を含むウェハ全面に第2導電型の第3の半導体層を形成するようにしたものである。

【0048】また、この発明に係る半導体レーザの製造方法は、成長表面の面方位が〔100〕面である第1導電型半導体基板上に少なくとも活性層、第2導電型の第1の半導体層、及び第1導電型の第2の半導体層を順次結晶成長した後、上記第2の半導体層を貫通し、上記第1の半導体層の表面を露呈する〈011〉方向にのびるストライプ状の第1の溝を形成し、この後、上記第1の溝の両隅部に、上記第1の半導体層及び活性層を貫通し、これら第1の半導体層及び活性層をストライプ状の領域とその両側の領域に分離する、〈011〉方向にのびる2条のストライプ状溝を形成し、この後、上記2条の溝を埋め込む第1導電型の第3の半導体層を形成し、さらに、上記ストライプ状の領域上、上記第3の半導体層上、及び上記第2の半導体層上に第2導電型の第4の半導体層を形成するようにしたものである。

【0049】また、この発明に係る半導体レーザは、第1導電型基板上に第1導電型クラッド層、活性層、及び第2導電型クラッド層を順次結晶成長して形成されたその側面がその表面上に結晶成長が生じない非結晶成長面からなるリッジストライプ形状のダブルヘテロ構造と、該ダブルヘテロ構造の両側の上記基板上に該ダブルヘテロ構造に接して配置された、その表面が平坦な第2導電型電流ブロック層とを備えたものである。

【0050】この発明に係る半導体レーザの製造方法は、〔100〕面を主面とする第1導電型半導体基板上に、活性層を有する能動領域を〔111〕B面と〔10

0) 面で囲まれた〈011〉方向の断面台形状のリッジストライプ形状となるように形成した後、該リッジストライプ形状の能動領域の両側の基板上に第2導電型の半導体層を〔100〕面に平行にかつ平坦に形成するようにしたものであり、さらに、上記能動領域を、基板表面に〈011〉方向のストライプ状開口を有する選択成長用マスクを設けた状態で、第1導電型半導体層、活性層、及び第2導電型半導体層を順次結晶成長することにより形成するようにしたものである。

【0051】また、この発明に係る半導体レーザの製造方法は、その光導波路形成工程において、基板上にダブルヘテロ構造を構成する最上層がInP層である複数の半導体層を結晶成長した後、連続して上記InP層上にダミー層を結晶成長し、該ダミー層をエッチング除去して上記InP層表面を露出させた後、該InP層表面をフッ酸処理した後、直ちにパターン形成用のレジスト塗布するようにしたものである。

【0052】また、この発明に係る半導体レーザは、活性層を含むメサストライプの側面部に形成された(111)B面として表される結晶面を有するp型半導体埋め込み層と、該p型半導体埋め込み層上に、活性層上部に形成されたn型半導体層と接触することなく形成されたn型半導体埋め込み層とを備えたものである。

【0053】また、この発明に係る半導体レーザの製造方法は、ストライプ形状に成形された半導体多層膜側部にMOCVD法を用いて(111)B面を上記ストライプ上端部側面に有するp型第1半導体層を形成し、上記ストライプ側面に形成される(111)B面とメサストライプ側部の底面より成長した結晶面とがつかない段階でのみ、上記p型第1半導体層上にn型第2半導体層を結晶成長するようにしたものである。

【0054】また、この発明に係る半導体レーザは、n型半導体基板上に順次結晶成長されメサストライプ形状に成形された、活性層及び該活性層の下側及び上側に配置されたn型及びp型クラッド層を含む半導体多層膜と、該メサストライプの側面部に形成された、上記半導体多層膜の積層面に対する角度が(111)B面として表される結晶面が上記半導体多層膜の積層面となす角度よりも大きくかつ90°以下である結晶面を上記活性層の側面の位置に有するp型半導体埋め込み層を備えたものである。

【0055】また、この発明に係る半導体レーザの製造方法は、面方位が(001)あるいは(001)近傍であるn型半導体基板上に活性層を含む半導体多層膜を順次結晶成長し、この半導体多層膜を〈110〉方向に沿ったストライプ形状に成形した後、ストライプ形状に成形された半導体多層膜側部に、MOCVD法を用いて、(111)B面を上記ストライプ上端部側面に有し、上記半導体多層膜の積層面に対する角度が(111)B面として表される結晶面が上記半導体多層膜の積

層面となす角度よりも大きくかつ90°以下である結晶面を上記活性層の側面の位置に有するp型半導体層を形成するようにしたものである。

【0056】また、この発明に係る半導体レーザは、半導体基板上に順次結晶成長されメサストライプ形状に成形された、活性層及び該活性層の下側及び上側に配置されたクラッド層を含む半導体多層膜と、該メサストライプを埋め込むように結晶成長された埋め込み層と、上記メサストライプの側面と上記埋め込み層との間に配置された上記埋め込み層の結晶成長温度よりも低い基板温度で形成した薄い低温成長層とを備えたものである。

【0057】また、この発明に係る半導体レーザの製造方法は、半導体基板上に活性層及び該活性層の下側及び上側に配置されたクラッド層を含む半導体多層膜を結晶成長し、これをメサストライプ形状に成形した後、上記メサストライプの側面上にその後の埋め込み成長よりも低い基板温度で薄い低温成長層を形成し、この後、前記低温成長層上に上記メサストライプを埋め込むように半導体層を結晶成長するようにしたものである。

【0058】また、この発明に係る半導体レーザの製造方法は、InP基板上にInGaAsP活性層及び該活性層の下側及び上側に配置されたInPクラッド層を含む半導体多層膜を結晶成長し、これをメサストライプ形状に成形した後、ホスフィン(PH₃)とアルシン(AsH₃)を、アルシンの供給比を活性層を成長する場合の比率よりも小さい比率で供給しながら基板を結晶成長温度まで昇温し、この後、上記メサストライプを埋め込むように半導体層を結晶成長するようにしたものである。

【0059】

【作用】この発明の半導体レーザにおいては、メサ溝内に埋込成長された第1導電型電流ブロック層表面側から導入された不純物により形成されたメサストライプの上部と第2導電型電流ブロック層とを電気的に分離する不純物導入領域を備えた構成としたので、第2導電型電流ブロック層の先端とメサ部の接触によるリーク電流の発生を防止できる。

【0060】また、この発明の半導体レーザの製造方法においては、メサストライプ形状のダブルヘテロ構造の両側に第1導電型埋込層、第2導電型電流ブロック層、及び第1導電型電流ブロック層を順次埋込成長した後、上記第1導電型電流ブロック層表面から不純物を導入して上記メサストライプの上部と上記第2導電型電流ブロック層とを電気的に分離する不純物導入領域を形成するようにしたので、第2導電型電流ブロック層の先端とメサ部の接触による構造不良を抑制でき、製造歩留りを向上できる。さらに、この不純物の導入を、上記ダブルヘテロ構造をメサストライプ形状にエッチングする際のエッチングマスクをマスクとして用いて行なうようにしたので、不純物導入領域の形成を容易に高精度に行なうこ

とができる。

【0061】また、この発明の半導体レーザにおいては、第1導電型半導体基板上に少なくとも活性層及び第2導電型半導体層を順次結晶成長して形成されたダブルヘテロ構造と、それぞれ、上記第2導電型半導体層及び活性層を貫通して設けられ、上記ダブルヘテロ構造を上記ストライプ状の領域とその両側の領域に分離する、相互に平行な2条のストライプ状溝と、該2条のストライプ状溝内に埋込形成された第1導電型半導体層とを備え、上記両側の領域の上記第2導電型半導体層が電流ブロック構造の一部となる構成としたので、リーク電流経路の幅が埋込成長形状等に依存しない、高品位の特性を安定して得ることのできるレーザ構造を実現できる。

【0062】また、この発明の半導体レーザの製造方法においては、第1導電型半導体基板上に少なくとも活性層、及び第2導電型の第1の半導体層を順次結晶成長し、ダブルヘテロ構造を形成した後、それぞれ、上記第1の半導体層及び活性層を貫通し、上記ダブルヘテロ構造をストライプ状の領域とその両側の領域に分離するように、相互に平行な2条のストライプ状溝を形成し、この後、上記ストライプ状の領域の上面を除くウエハ全面に第1導電型の第2の半導体層を形成し、さらに、上記ストライプ状の領域の上面を含むウエハ全面に第2導電型の第3の半導体層を形成するようにしたから、リーク電流経路の幅は活性層の位置での上記2条のストライプ状溝の溝幅のみで決まるため、特性の優れた半導体レーザを安定して作製することができる。

【0063】また、この発明の半導体レーザの製造方法においては、成長表面の面方位が〔100〕面である第1導電型半導体基板上に少なくとも活性層、第2導電型の第1の半導体層、及び第1導電型の第2の半導体層を順次結晶成長した後、上記第2の半導体層を貫通し、上記第1の半導体層の表面を露呈する〈011〉方向にのびるストライプ状の第1の溝を形成し、この後、上記第1の溝の両隅部に、上記第1の半導体層及び活性層を貫通し、これら第1の半導体層及び活性層をストライプ状の領域とその両側の領域に分離する、〈011〉方向にのびる2条のストライプ状溝を形成し、この後、上記2条の溝を埋め込む第1導電型の第3の半導体層を形成し、さらに、上記ストライプ状の領域上、上記第3の半導体層上、及び上記第2の半導体層上に第2導電型の第4の半導体層を形成するようにしたから、リーク電流経路の幅は活性層の位置での上記2条のストライプ状溝の溝幅のみで決まるため特性の優れた半導体レーザを安定して作製することができる。

【0064】また、この発明の半導体レーザにおいては、第1導電型基板上に第1導電型クラッド層、活性層、及び第2導電型クラッド層を順次結晶成長して形成されたその側面がその表面上に結晶成長が生じない非結晶成長面からなるリッジストライプ形状のダブルヘテロ

構造と、該ダブルヘテロ構造の両側の上記基板上に該ダブルヘテロ構造に接して配置された、その表面が平坦な第2導電型電流ブロック層とを備えた構成としたから、製造時にリークパス幅が容易に制御することが可能なレーザ構造を実現できる。

【0065】また、この発明の半導体レーザの製造方法においては、〔100〕面を主面とする第1導電型半導体基板上に、活性層を有する能動領域を〔111〕B面と〔100〕面で囲まれた〈011〉方向の断面台形状のリッジストライプ形状となるように形成した後、該リッジストライプ形状の能動領域の両側の基板上に第2導電型の半導体層を〔100〕面に平行にかつ平坦に形成するようにしたので、第2導電型の半導体層を活性層に近づけた場合にも、該第2導電型の半導体層が活性層上に配置されたクラッド層に接触することがなく、リークパス幅が容易に制御することができる。さらに、上記能動領域を、基板表面に〈011〉方向のストライプ状開口を有する選択成長用マスクを設けた状態で、第1導電型半導体層、活性層、及び第2導電型半導体層を順次結晶成長することにより形成するようにしたので、2回の結晶成長により作製でき、生産性を向上できる。

【0066】また、この発明の半導体レーザの製造方法においては、ダブルヘテロ構造を構成する半導体層の結晶成長に連続してダミー層を結晶成長し、該ダミー層をエッチング除去して上記半導体層の最上層表面を露出させた後、該層表面をフッ酸処理した後、直ちにパターン形成用のレジスト塗布するようにしたから、レジストの密着性のバラツキを抑えることができるので、エッチング形状を均一にでき、引き続き行なわれる埋込み成長を再現性良く行なうことができる。

【0067】また、この発明の半導体レーザにおいては、活性層を含むメサストライプの側面部に形成された〔111〕B面として表される結晶面を有するp型半導体埋め込み層と、該p型半導体埋め込み層上に、活性層上部に形成されたn型半導体層と接触することなく形成されたn型半導体埋め込み層とを備えた構成としたから、活性層側部のn型半導体層が活性層上部のn型半導体層と分離されて形成されており、レーザを高出力で動作させた場合において無効電流が少ない良好な特性を実現できる。

【0068】また、この発明の半導体レーザの製造方法においては、膜厚制御性の優れたMOCVD法を用い成長速度の結晶面方位依存性を利用することにより活性層側部のn型半導体層を活性層上部のn型半導体層と分離して形成するので、無効電流の流れる経路を均一性、再現性よく小さく制御することが可能であり良好な特性の半導体レーザを再現性よく作製することができる。

【0069】また、この発明の半導体レーザにおいては、n型半導体基板上に順次結晶成長されメサストライ

10

20

30

40

50

ブ形状に成形された活性層を含む半導体多層膜と、該メサストライプの側面部に形成された、上記半導体多層膜の積層面に対する角度が(111)B面として表される結晶面が上記半導体多層膜の積層面となす角度よりも大きくかつ90°以下である結晶面を上記活性層の側面の位置に有するp型半導体埋め込み層を備えた構成としたから、該p型半導体埋め込み層のメサ側面の巾が非常に薄く、レーザを高出力で動作させた場合において無効電流が少なく、良好な特性を有する、n型基板を用いた埋め込みヘテロ型の半導体レーザを実現できる。

【0070】また、この発明の半導体レーザの製造方法においては、面方位が(001)あるいは(001)近傍であるn型半導体基板上に活性層を含む半導体多層膜を順次結晶成長し、この半導体多層膜を(110)方向に沿ったストライプ形状に成形した後、ストライプ形状に成形された半導体多層膜側部に、MOCVD法を用いて、(111)B面を上記ストライプ上端部側面に有し、上記半導体多層膜の積層面に対する角度が(111)B面として表される結晶面が上記半導体多層膜の積層面となす角度よりも大きくかつ90°以下である結晶面を上記活性層の側面の位置に有するp型半導体層を形成するようにしたから、p型半導体埋め込み層のメサ側面の巾を、均一性、再現性よく薄くでき、無効電流が少なく、良好な特性を有する、n型基板を用いた埋め込みヘテロ型の半導体レーザを容易に作製できる。

【0071】また、この発明の半導体レーザにおいては、半導体基板上に順次結晶成長されメサストライプ形状に成形された、活性層及び該活性層の下側及び上側に配置されたクラッド層を含む半導体多層膜と、該メサストライプを埋め込むように結晶成長された埋め込み層と、上記メサストライプの側面と上記埋め込み層との間に配置された上記埋め込み層の結晶成長温度よりも低い基板温度で形成した薄い低温成長層とを備えた構成としたので、埋め込み層の結晶性の優れた、信頼性の高い、埋め込みヘテロ型の半導体レーザを実現できる。

【0072】また、この発明の半導体レーザの製造方法においては、半導体基板上に活性層及び該活性層の下側及び上側に配置されたクラッド層を含む半導体多層膜を結晶成長し、これをメサストライプ形状に成形した後、上記メサストライプの側面上にその後の埋め込み成長よりも低い基板温度で薄い低温成長層を形成し、この後、前記低温成長層上に上記メサストライプを埋め込むように半導体層を結晶成長するようにしたから、低温成長層により活性層の側面の熱劣化が抑えられ、埋め込み層の結晶性の優れた、信頼性の高い、埋め込みヘテロ型の半導体レーザを作製できる。

【0073】また、この発明に係る半導体レーザの製造方法は、InP基板上にInGaAsP活性層及び該活性層の下側及び上側に配置されたInPクラッド層を含む半導体多層膜を結晶成長し、これをメサストライプ形

状に成形した後、ホスフィン(PH₃)とアルシン(AsH₃)を、アルシンの供給比を活性層を成長する場合の比率よりも小さい比率で供給しながら基板を結晶成長温度まで昇温し、この後、上記メサストライプを埋め込むように半導体層を結晶成長するようにしたので、基板昇温中にメサストライプ側面に露出した活性層及びクラッド層の熱劣化が抑えられ、埋め込み層の結晶性の優れた、信頼性の高い、埋め込みヘテロ型の半導体レーザを作製できる。

10 【0074】

【実施例】実施例1. 図1は本発明の第1の実施例による半導体レーザの構造を示す図であり、図において、1はp型InP基板である。p型InP下クラッド層2は基板1上に配置され、アンドープInGaAsP活性層3は下クラッド層2上に配置され、n型InP第1上クラッド層4は活性層3上に配置される。下クラッド層2、活性層3、第1上クラッド層4で構成されるダブルヘテロ構造はエッチングにより形成された2条のチャネル溝によりメサストライプ形状に形成されている。p型InP埋込層5、n型InPブロック層6、及びp型InPブロック層7はチャネル溝内にメサストライプ形状のダブルヘテロ構造を埋め込むように順次配置されている。また13はp型電流ブロック層7表面側から導入されたp型不純物により形成され、上記メサストライプの上部と上記n型電流ブロック層6とを分離するように配置されたp型不純物導入領域である。n型InP第2クラッド層8は第1上クラッド層4上、及びp型不純物導入領域13上に配置され、n型InGaAsPコンタクト層9は第2上クラッド層8上に配置される。10は活性層3に対応する部分に開口が設けられた絶縁膜であり、n側電極12は絶縁膜10の開口部においてコンタクト層9に接するように絶縁膜10上に設けられる。またp側電極11は基板1裏面に設けられる。また、図2、及び図3は図1の半導体レーザの製造工程を示す断面図であり、図において、図1と同一符号は同一又は相当部分である。

20

30

40

【0075】次に、図1の半導体レーザの製造工程を図2、及び図3に沿って説明する。まず、図2(a)に示すように、p型InP基板1上に、例えばMOCVD法により、層厚2μm程度のp型InPクラッド層2、層厚0.1~0.2μm程度のアンドープInGaAsP活性層3、層厚0.7μm程度のn型InPクラッド層4を順次結晶成長する。

【0076】次にクラッド層4上に、熱CVDまたはプラズマCVD法によりSiO₂膜、又はSiNx膜等の、フォトレジストと比較して密着性が強固な絶縁膜を形成する。その後、写真製版とエッチング技術を用いて絶縁膜をパターンニングし、図2(b)に示すような幅2~3μm程度の〈011〉方向のストライプ状のマスクパターン15をn型InPクラッド層4上に形成する。

50

【0077】この後、Brメタノール系エッチング液を用いて、図2(c)に示すようにマスクパターン15両側の半導体露出面をエッチング除去し、チャネル溝16を形成し、活性層を含むレーザ能動領域をメサストライプ形状とする。ここでマスクパターン15は上述のように〈011〉方向にストライプが形成されており、またSiNx膜等の絶縁膜によるマスクパターンは半導体表面に対する密着性がフォトリソと比較して強固でありマスク下での横方向のサイドエッチングが進行しにくいことから、マスク直下部は図に示すように逆メサ形状となるのが自然である。また、SiO₂、SiNx等の絶縁膜の半導体表面に対する密着性の制御はフォトリソのそれに比べて再現性が高いので、メサエッチング形状の再現性もフォトリソを用いた場合より高い。

【0078】次に、図3(a)に示すように、マスク材15を付けたままチャネル溝16内に、p型InP埋込層5、n型InPブロック層6、p型InPブロック層7をLPE法等により順次埋込成長する。この埋込成長では、結晶層はマスク材15上部には成長せず選択的に溝内に結晶成長が生じる。なお、メサストライプの上端部の形状が上述のように逆メサ形状となっているので、従来例でも説明したように、p型InP埋込層5の成長において、チャネル溝側面の逆斜面部と順斜面部の成長速度が異なり、逆斜面部の成長膜厚は薄くなり、次の成長層であるn型InPブロック層6を成長した際に、ブロック層6の先端部は逆メサ部に接触する。即ち、図50、図51で説明した不良構造と同じ状態となる。

【0079】本実施例では、LPE法による埋込成長の後、図3(b)に示すように、絶縁膜マスク材15を付けたまま熱拡散の手法によりウエハにZn等のp型不純物17を導入する。ここで、マスク材15は拡散防止マスクとして作用するので、マスク周辺はいわゆるセルフアライン構造となり、導入不純物原子の分布を高い精度で制御することが可能である。ここで、熱拡散の方法としては、ウエハ表面に不純物拡散源となる層を形成してこの不純物層からウエハ中に拡散を行なう固相拡散、または雰囲気中からウエハ中に拡散を行なう気相拡散の方法のいずれであってもよい。

【0080】次に、マスク材15を除去した後、LPE法もしくはMOCVD法等により、図3(c)に示すように、p型InP第2上クラッド層8、及びn側オーミック電極を形成するためのn型InGaAsPコンタクト層9を順次結晶成長する。この工程では同時に先の工程で導入された不純物の横方向及び深さ方向へのドライブ拡散、並びにアニールによる不純物の電気的な活性化がなされ、埋込成長時に接触したブロック層6の先端部と逆メサ部を分離するように配置された不純物導入領域13が形成される。

【0081】この後、レーザ素子全体をメサエッチングする工程、及び電極形成工程等を経て図1に示す半導体

レーザが完成する。

【0082】このような本実施例の半導体レーザの製造方法では、メサストライプ形状のダブルヘテロ構造を埋込成長層により埋め込んだ後、ブロック層6の先端部と逆メサ部を分離する不純物導入領域13を形成するので、第1の無効電流経路の幅を低減するためにp型InP埋込層5の層厚を薄くした場合にも、ブロック層6の先端部とメサストライプ上部が接触した不良構造の発生を抑制でき、特性の優れた半導体レーザを歩留りよく作製することができる。

【0083】なお、上記実施例では不純物導入工程にてZn等のp型不純物を熱拡散法により導入したが、イオン注入法を用いてもよい。

【0084】また上記実施例ではp型不純物を導入するものについて説明したが、p型不純物の代わりに、InPバンドギャップ内の深い位置にトラップ準位を形成し、半絶縁化するFe等を導入してもよい。

【0085】また、上記実施例ではメサエッチングをする際のマスクとしてSiO₂膜、又はSiNx膜等の、誘電体膜を用いるものについて示したが、その後の結晶成長工程、不純物導入工程等において変成しないものであれば、フォトリソを用いることも可能である。

【0086】また、上記実施例ではLPE法を用いて埋込結晶成長を行なうものについて示したが、埋込結晶成長時にブロック層6の先端部とメサストライプ上部が接触するかどうかは問題とならないので、従来、ブロック層6の先端部とメサストライプ上部を接触させずに成長できるかどうか未知であり使用されていなかったMOCVD法を適用することも可能である。MOCVD法を埋込結晶成長に適用した場合、p型InP埋込層5の層厚制御性を向上することができ、第1の無効電流経路の幅をより精度良く低減することが可能である。

【0087】実施例2. 図4は本発明の第2の実施例による半導体レーザを示す図である。また、図5は図4に示す半導体レーザの製造方法を示す断面工程図である。図において、21はp型InP基板である。p型InP下クラッド層22は基板21上に配置される。23aはInGaAsP活性層、24aはn型InP第1上クラッド層、24bはn型InP第1上クラッド層が溝により分離され形成されたn型InP電流ブロック層である。p型InPブロック層25はn型InP第1上クラッド層、及びアンドープInGaAsP活性層を分離する溝内及びn型InP電流ブロック層24b上に配置され、n型InP第2上クラッド層26は第1上クラッド層24a上及びp型InP電流ブロック層25上に配置され、n型InGaAsPコンタクト層27は第2上クラッド層26上に配置される。28は活性層23aに対応する部分に開口が設けられた絶縁膜であり、n側電極30は絶縁膜28の開口部においてコンタクト層27に接するように絶縁膜28上に設けられる。またp側電極

10

20

30

40

50

29は基板21裏面に設けられる。

【0088】次に製造工程について説明する。まず、図5(a)に示すように、p型InP基板21上に、n型InP下クラッド層22、InGaAsP活性層23、n型InP第1上クラッド層24を順次結晶成長し、さらに第1上クラッド層24上にSiN膜31を順次形成する。

【0089】次に、写真製版とエッチングの技術を用いて、SiN膜31を〈011〉方向に並行に配置された2本のストライプ状開口を有する形状にパターンニングした後、これをマスクとして図2(b)に示すように、活性層23を貫くエッチングを施す。InPを〈011〉方向にのびる開口を有するパターンをマスクとしてBrメタノール系エッチャントや硫酸系エッチャントを用いてエッチングを行った場合、エッチング形状は図に示すようにV字型となる。

【0090】次に、SiN膜31を中央のストライプ部分を除き除去し、図5(c)に示すように、p型InP電流ブロック層25を選択成長する。

【0091】次に、図5(d)に示すように、ストライプ状のSiN膜31を除去し、全体をn型InP第2上クラッド層26で埋め込み、さらに第2上クラッド層26上にn型InGaAsPコンタクト層27を連続して結晶成長する。

【0092】この後、レーザ素子全体をメサエッチングする工程、及び電極形成工程等を経て図4に示す半導体レーザが完成する。

【0093】図9は、本実施例における各部の寸法を説明するための断面模式図であり、図において図4と同一符号は同一又は相当部分である。

【0094】活性層23の層厚 t_1 を $0.13\mu\text{m}$ 、n型電流ブロック層24bの層厚 t_2 を $0.5\mu\text{m}$ 、p型電流ブロック層の層厚 t_3 を $0.5\mu\text{m}$ とした場合、活性層の発光領域23aの幅 w_1 を $2\mu\text{m}$ とするための、n型InP第1上クラッド層24aの上端の幅 w_2 、即ち図5(b)の工程におけるSiN膜31の中央のストライプ幅は、

$$w_2 = w_1 - 2(t_1 + t_2)(\tan \theta_1)^{-1}$$

で与えられる。ここで、 θ_1 は 54.7° であるので、

w_2 は $1.1\mu\text{m}$ となる。また、リーク電流経路の幅である活性層23aと23bとの間の距離 w_4 は、

$$w_4 = w_3 + 2(t_1 + t_2)(\tan \theta_2)^{-1}$$

で与えられる。従って、n型電流ブロック層24bの上端部と第1上クラッド層24aの上端部との間の距離 w_3 、即ち、図5(b)の工程におけるSiN膜31のストライプ状開口の幅で決まり、これを $1.2\mu\text{m}$ とした場合には、リーク電流経路の幅は $0.3\mu\text{m}$ となる。

【0095】このように本実施例による半導体レーザの製造方法では、基板21上にp型InP層22、活性層23、及びn型InP24層を順次結晶成長し、ダブル

ヘテロ構造を形成した後、上記n型InP層24及び活性層23を貫通し、上記ダブルヘテロ構造をストライプ状の領域とその両側の領域に分離する相互に平行な2条のストライプ状溝を形成し、この後、上記ストライプ状の領域の上面を除くウエハ全面にp型InP電流ブロック層25を形成して上記2条のストライプ状溝を埋め込み、さらに、上記ストライプ状の領域の上面を含むウエハ全面にn型InP層を形成するようにしたから、リーク電流経路の幅は活性層23の位置でのエッチング溝幅のみで決まり、制御性を飛躍的に向上することができる。

【0096】また、リーク電流経路となる2条の溝は、p型ブロック層25のみで完全に埋め込む構成としているので、複数の半導体層でメサ溝を埋め込む従来の方法のようにエッチング形状により埋込成長形状が影響を受けて、リーク電流経路の幅がばらつくといった不都合は生じず、狭いリーク電流経路を容易に形成することができる。

【0097】実施例3. 図6は本発明の第3の実施例による半導体レーザを示す図である。また、図7、及び図8は図6に示す半導体レーザの製造方法を示す断面工程図である。図において、41はp型InP基板である。p型InP下クラッド層42は基板21上に配置される。43aはアンドープInGaAsP活性層、44aは活性層43上に配置されたn型InP第1上クラッド層、44bはn型InP第1上クラッド層が溝により分離され形成されたn型InP電流ブロック層である。45はInGaAsPエッチングストップ層、46はエッチングストップ層45上に配置されたp型InP電流ブロック層である。p型InP埋込層47はn型InP第1上クラッド層、アンドープInGaAsP活性層を分離する溝内に配置され、n型InP第2上クラッド層48は第1上クラッド層44a上、p型InP埋込層47上、及びp型InP電流ブロック層46上に配置され、n型InGaAsPコンタクト層49は第2上クラッド層48上に配置される。50は活性層43aに対応する部分に開口が設けられた絶縁膜であり、n側電極52は絶縁膜50の開口部においてコンタクト層49に接するように絶縁膜50上に設けられる。またp側電極51は基板41裏面に設けられる。

【0098】次に本実施例による半導体レーザの製造方法を図7、及び図8に沿って説明する。まず、図7(a)に示すように、p型InP基板41上に、n型InP下クラッド層42、InGaAsP活性層43、n型InP第1上クラッド層44、InGaAsPエッチングストップ層45、及びp型InP電流ブロック層46を例えばMOCVD法により順次結晶成長し、さらにp型InP電流ブロック層46上にSiN膜53を形成する。

【0099】次に、SiN膜53を、写真製版とエッチングの技術を用いて〈011〉方向にのびるストライ

10

20

30

40

50

イブ状開口を有する形状にパターンニングし、このパターンニングされたSiN膜53をマスクとして、図7(b)に示すように、エッチングストップ層45までをエッチングする。InPを〈0/1/1〉方向にのびる開口を有するパターンをマスクとしてBrメタノール系エッチャントや硫酸系エッチャントを用いてエッチングを行った場合、エッチング形状は図に示すように台形状となる。

【0100】次に、図7(c)に示すように、ウェハ全面にSiN膜54aを形成し、さらにSiN膜54a上にネガレジスト54bを塗布し、ウェハ上部から垂直に光を照射し、ネガレジスト54bを感光させる。

【0101】次に、図7(d)に示すように、上記露光工程で感光しなかった溝底部の両隅のネガレジスト54bを現像除去し、さらに、現像により露出したSiN膜54aをエッチング除去する。ここで、SiN膜54aのエッチング除去により形成される、n型InP第1上クラッド層44が露出する開口の幅は、概略p型電流ブロック層46の層厚で制御される。

【0102】次に、図8(a)に示すように、SiN膜54aをマスクにして、溝底部両隅から活性層43までをエッチングする。ここでSiN膜54aに形成されたストライプ状開口は〈0/1/1〉方向にのびており、図7(b)でのエッチング工程と同様、Brメタノール系エッチャントや硫酸系エッチャントを用いてエッチングを行った場合、エッチング形状は図に示すように台形状となる。

【0103】次に、図8(b)に示すように、図8(a)の工程で形成された2条の溝に、SiN膜54aを選択成長のマスクとして用いてMOCVD法等の気相成長によりp型InP埋込層47を選択成長する。

【0104】次に、SiN膜54a及び53を除去した後、図8(c)に示すように、ウェハ全体にn型InP第2上クラッド層48、及びn型InGaAsPコンタクト層49を順次結晶成長する。

【0105】この後、レーザ素子全体をメサエッチングする工程、及び電極形成工程等を経て図6に示す半導体レーザが完成する。

【0106】図10は、本実施例における各部の寸法を説明するための断面模式図であり、図において図6と同一符号は同一又は相当部分である。

【0107】活性層43の層厚 t_4 を $0.13\mu\text{m}$ 、n型電流ブロック層44bの層厚 t_5 を $0.5\mu\text{m}$ 、エッチングストップ層45の層厚 t_6 を $0.05\mu\text{m}$ 、p型電流ブロック層の層厚 t_7 を $0.5\mu\text{m}$ とした場合、活性層の発光領域43aの幅 w_5 を $2\mu\text{m}$ とするための、n型InP第1上クラッド層44aの上端の幅 w_6 は、 $w_6 = w_5 + 2 \cdot (t_4 + t_5) \cdot (\tan \theta_2)^{-1}$ で与えられる。ここで、 θ_2 は 54.7° であるので、 w_6 は $2.9\mu\text{m}$ となる。p型InP電流ブロック層46の上端間の距離 w_7 、即ち、図7(b)の工程における

SiN膜53の開口幅は、概略この第1上クラッド層44aの上端の幅 w_6 と等しければよいので、SiN膜53の開口幅を $2.9\mu\text{m}$ とすればよい。一方、n型電流ブロック層44bの上端部と第1上クラッド層44aの上端部との間の距離 w_8 、即ち、図7(d)の工程におけるSiN膜54aの開口幅は、

$$w_8 = t_7 \cdot (\tan \theta_2)^{-1}$$

で与えられ、 $0.35\mu\text{m}$ となる。また、リーク電流経路の幅である活性層43aと43bとの間の距離 w_9 は、

$$w_9 = w_8 + 2 \cdot (t_4 + t_5) \cdot (\tan \theta_2)^{-1}$$

で与えられ、 $1.2\mu\text{m}$ となる。

【0108】このように本実施例による半導体レーザの製造方法では、成長表面の面方位が{100}面である基板41上にp型InP層42、活性層43、n型InP層44、及びp型InP層46を順次結晶成長した後、p型InP層46を貫通し、上記n型InP層44の表面を露呈する〈0/1/1〉方向にのびるストライプ状の溝を形成し、この後、該溝の両隅部に、上記n型InP層44及び活性層43を貫通し、これらをストライプ状の領域とその両側の領域に分離する、〈0/1/1〉方向にのびる2条のストライプ状溝を形成し、この後、上記2条の溝を埋め込むp型InP層47を形成し、さらに、上記ストライプ状の領域上、上記p型InP層47上、及び上記p型InP層46上にn型InP層48を形成するようにしたから、リーク電流経路の幅は活性層43の位置でのエッチング溝幅のみで決まり、制御性を飛躍的に向上することができる。

【0109】また、リーク電流経路となる2条の溝は、p型InP層47のみで完全に埋め込む構成としているので、複数の半導体層でメサ溝を埋め込む従来の方法のようにエッチング形状により埋込成長形状が影響を受けて、リーク電流経路の幅がばらつくといった不都合は生じず、狭いリーク電流経路を容易に形成することができる。

【0110】さらに、本実施例では、マスクのパターンニングより精度の高い成長層厚で2条のストライプ溝を形成するためのマスクの開口幅が決まるので、上記第2の実施例よりもリーク電流経路の幅の制御性が向上する。

【0111】また、本実施例による半導体レーザの製造方法では、p型InP埋込層47をp型InPブロック層46と別に形成するため、p型埋込層47のキャリア濃度をp型ブロック層46のキャリア濃度よりも低くする等して高抵抗とすることにより、リーク電流をより低減することができる。

【0112】実施例4. 図11は本発明の第4の実施例による半導体レーザの構造を示す図であり、図において、61はp型InP基板である。p型InP下クラッド層62は基板61上に配置され、アンドープInGaAsP活性層63は下クラッド層62上に配置され、n

10

20

30

40

50

型InP第1上クラッド層64は活性層63上に配置され、n型InP層66は第1上クラッド層64上に配置される。またn型InP電流ブロック層65は基板1上
の下クラッド層62が配置された領域以外の領域上に配置され、p型InP電流ブロック層67はn型電流ブ
ロック層65上に配置され、n型InP第2上クラッド層68はp型電流ブロック層67上及びn型InP層66
上に配置され、n型InGaAsPコンタクト層69は第2上クラッド層68上に配置される。70は活性層6
3に対応する部分に開口が設けられた絶縁膜であり、n
側電極72は絶縁膜70の開口部においてコンタクト層69に接するように絶縁膜70上に設けられる。またp
側電極71は基板61裏面に設けられる。

【0113】図12は図11に示す半導体レーザの製造方法を示す断面工程図であり、図において図11と同一符号は同一又は相当部分である。以下、本実施例の製造工程を図12に沿って説明する。まず、図12(a)に示すように、{100}面を有するp型InP基板61上に<011>方向に約3.5μmのストライプ幅の開口部74を有するSiO₂等からなる選択成長用マスク73を形成する。

【0114】次に、図12(b)に示すように、MOCVD法により、p型InPバッファ層62を厚さ1μm、InGaAsP活性層63を厚さ0.1μm、n型InP第1上クラッド層64を厚さ0.5μm順次成長する。<011>方向にストライプ状に開口部を有する基板上にMOCVD法により結晶成長を行う場合、成長の進行に伴って{111}B面が出現する。この{111}B面は非成長面と呼ばれ、成長が起こらないことが知られている。従って、断面が上底lが約1.4μmの台形状のストライプ状リッジ構造が得られる。

【0115】次に、選択成長用マスク73を除去した後、2回目のMOCVD成長により、図12(c)に示すように、n型InP層をp型InPバッファ層62と同じ厚さ1μmだけ成長する。ここで{111}B面には成長が起こらないため、基板61上と第1上クラッド層64上に結晶成長が進み、n型InP電流ブロック層65、及びn型InP層66が形成される。この時、n型InP層66は高さ1μmの三角形状となる。

【0116】続いて、MOCVD法により、図12(d)に示すように、p型InPブロック層67を厚さ0.5μm、n型InP第2上クラッド層68を厚さ2μm成長し、さらにn型InGaAsPコンタクト層69を成長する。この後、レーザ素子全体をメサエッチングする工程、及び電極形成工程等を経て図11に示す半導体レーザが完成する。

【0117】図13は本実施例における埋込成長形状を説明するための図であり、図において、75は図12(b)の工程で選択成長されたリッジ部である。また、図13(a)～図13(c)の各工程において結晶成長される

層にのみハッチングを施している。

【0118】<111>方向にのびるストライプ形状を有し、{111}B面からなる側面を有する台形リッジ部分75を形成した基板にMOCVD法による埋込成長形状を調べた結果、リッジ部分の断面形状が台形のうちは、リッジの両側の部分は図13(a)に示すように{100}面に平行して結晶成長が進み、図13(b)に示すようにリッジ部分の先端が三角形となり、終端した後は、{111}B面に付着した原子の影響のため、リッジ近傍は図13(c)に示すように、{311}面等が出るような成長形状に代わることがわかった。従って、半導体レーザのn型InP電流ブロック層65を{100}面に平行に形成することにより、リークパス幅はn型InPブロック層65の厚さのみで制御可能となる。

【0119】このように、本実施例による製造方法では、ウェットエッチングによる形状制御を必要としないため、エッチング形状のばらつきによる歩留り低下が抑制できる。

【0120】ここで、上記実施例ではn型InP電流ブロック層65の厚さとp型InPバッファ層(下クラッド層)62の厚さを同じ厚さとする場合を示したが、図15に示すように、n型InP電流ブロック層65の層厚がp型InPバッファ層62の層厚より薄い場合でも、その差が0.5μm以下であれば、従来のLPE法において最良の条件で埋込成長が行われた場合と同等、もしくはそれ以上にリーク電流が低減された半導体レーザを実現できる。

【0121】図17に示すように、n型InP電流ブロック層65の厚さとp型InPクラッド層62の厚さがほぼ同じ厚さの場合、p型クラッド層62とp型電流ブロック層67とは接触しないかあるいは線接触であるため、p型クラッド層62からp型電流ブロック層67へ流れる電流に対する抵抗はきわめて大きく、リーク電流は殆ど生じない。一方、n型InP電流ブロック層65の層厚がp型InPバッファ層62の層厚より薄い場合には、図18に示すように、p型クラッド層62とp型電流ブロック層67との間に接触面が形成されるので、従来例で示した第1の無効電流と同じタイプの無効電流が生じる。従来のLPE法において最良の条件で埋込成長が行われた場合でも、図48に示したリークパス幅は0.5μm程度であるので、リークパス幅に対応するp型クラッド層62とp型電流ブロック層67の接触面の幅が0.5μm程度以下、即ち、n型InP電流ブロック層65の層厚とp型InPバッファ層62の層厚の差が0.5μm以下であれば従来のLPE法において最良の条件で埋込成長が行われた場合と同等、もしくはそれ以上にリーク電流が低減された半導体レーザを実現できる。

【0122】これに対し、図14(a)、(b)に示すように、リッジ部が三角形状に選択成長された基板上へn型

ＩｎＰブロック層６５を成長した場合や、ｎ型ＩｎＰブロック層厚ｄがｎ型ＩｎＰクラッド層厚ｈより大きい場合には、ｎ型ＩｎＰブロック層６５はリッジ近傍で盛り上がる形となり、この盛り上がり部分は成長条件に依存しており、再現性に乏しいため、その上端の位置を制御することは困難である。このため、ｎ型ＩｎＰブロック層６５とｎ型ＩｎＰクラッド層６４が接触し、図１９に示すように、従来例で示した第２の無効電流と同じタイプの無効電流が生じるなどリークパス幅の制御は困難となる。

【０１２３】従って、本実施例では、選択成長により形成するリッジ部をｎ型ＩｎＰブロック層６５の層厚に応じた適切な形状として、ｎ型ＩｎＰブロック層６５が基板表面に対して平行に結晶成長させることが重要となるが、リッジ部形成のための選択成長は制御性、再現性にすぐれたＭＯＣＶＤ法を用いているので、上記第２の無効電流を防止することは極めて容易である。

【０１２４】なお、上記実施例では、ｎ型ＩｎＰ層６６は三角形として終端する場合を示したが、図１６に示すように、ｎ型ＩｎＰ層６６が三角形として終端せずに台形状であってもよい。この場合は、ｐ型ＩｎＰ電流ブロック層６７を成長する際にｎ型ＩｎＰ層６６上に断面三角形形状のｐ型ＩｎＰ層７７が形成される。

【０１２５】以下、本実施例において用いる選択成長用のマスクのパターンの一例を図について説明する。図２０は本実施例において用いる選択成長用のマスクのパターンの一例を示す図であり、図において、７３はマスク部分、７４はレーザ能動層成長用開口部、７８はダミー層成長開口部である。

【０１２６】図２０に示すような選択成長用マスクパターンを用いれば、ダミー層成長用開口部を設けることにより、マスクのストライプを分割し、１本当たりのマスクストライプ幅を狭くすることが可能となる。図１２(b)の工程において、マスクのストライプ幅が広い場合には、選択成長の際にポリ結晶がマスク上に析出し、マスクが除去できなくなるという問題が発生しやすくなるが、図２０に示すようなパターンとしてマスクのストライプ幅を１０～数１０μｍ程度と狭くすることにより、マスク上のポリ結晶の析出は抑えることができる。

【０１２７】図２０に示す選択成長用マスクパターンを用いた場合、図２１(a)に示すように、ダミー層成長用開口部分にもレーザ能動層が形成されるので、一チップ内に複数の能動領域を含むレーザアレイとなる。即ち、本実施例の製造方法は、単体のレーザだけでなく、レーザアレイを作製する場合にも容易に適用することができる。なお、単体のレーザ素子として用いる場合は、図２１(b)に示すように、ダミー層成長部分をエッチング等に除去すればよい。

【０１２８】なお、図２０に示すマスクパターン例では、ダミー層成長用開口部７８をレーザ能動層成長用開

口部７４の両側に１本ずつ、計２本設けたものについて示したが、レーザチップ１個の領域内に設けるダミー層成長用開口部の数はこれに限るものではなく、１本、または３本以上であってもよい。

【０１２９】また、図２０に示すマスクパターン例では、レーザチップ１個の領域内にダミー層成長用開口部を設けたが、図２２に示すように、隣接するレーザチップ領域にもダミー層成長用開口部７９を設けてもよい。選択成長を行なうレーザチップ領域に近接して大きなダミー層成長用開口部７９を設けた場合、成長材料の掃き出しが容易となるので、マスクのストライプ幅が１００μｍ程度と比較的広くしても、マスク上にポリ結晶が析出することがなく、選択成長を行なうレーザチップ領域の設計の自由度を向上できる。

【０１３０】実施例５．図２３は本発明の第５の実施例による半導体レーザの製造方法における光導波路の形成工程を示す図であり、図において、８１はｐ型ＩｎＰ基板、８２はｐ型ＩｎＰ下クラッド層、８３はアンドープＩｎＧａＡｓＰ活性層、８４はｎ型ＩｎＰ上クラッド層である。また、８５はＩｎＧａＡｓダミー層、８６はＩｎＰダミー層である。

【０１３１】次に、本実施例における光導波路の形成工程について説明する。まず、ｎ型ＩｎＰ基板８１上に例えばＭＯＣＶＤ法を用いて、層厚約１μｍのｐ型ＩｎＰ層８２、層厚約０．１μｍのＩｎＧａＡｓＰ活性層８３、及び層厚約１μｍのｎ型ＩｎＰ上クラッド層８４を順次エピタキシャル成長し、更に連続してｎ型ＩｎＰ上クラッド層８４上に層厚約０．５μｍのＩｎＧａＡｓＰダミー層８５と層厚約０．５μｍのＩｎＰダミー層８６を同じくＭＯＣＶＤ法によりエピタキシャル成長する(図２３(a))。

【０１３２】次いで、ＩｎＰダミー層８６及びＩｎＧａＡｓＰダミー層８５をそれぞれ適当なエッチャントを用いて選択エッチング除去し、図２３(b)に示すようにｎ型ＩｎＰ上クラッド層８４表面を露呈させる。ここで、ＩｎＰダミー層８６のエッチングには、ＩｎＰをエッチングしＩｎＧａＡｓＰをエッチングしないエッチャント、例えば塩酸を用い、またＩｎＧａＡｓＰダミー層８５エッチングには、ＩｎＧａＡｓＰをエッチングしＩｎＰをエッチングしないエッチャント、例えば硫酸、過酸化水素、水の混合液を用いる。このような選択エッチングの技法を用いることにより、ダミー層を完全に除去でき、しかもＩｎＰ上クラッド層８４の表面が完全に露出した時点でエッチングを停止することができるため、レジスト塗布前の結晶表面の状態を均一なものとすることができる。

【０１３３】ダミー層除去工程の後、ｎ型ＩｎＰ上クラッド層８４表面をフッ酸処理した後、直ちにネガ型レジスト８９を塗布し、写真製版等の技術を用いて、図２３(c)に示すように、レジストを幅約６μｍのストライプ

10

20

30

40

50

形状にパターニングする。このレジストのn型InP上クラッド層4表面に対する密着性は、上述のようにレジスト塗布前の結晶表面の状態が均一であるため、ウエハ面内、又は異なるウエハ間においても均一なものを実現することができる。

【0134】次に、パターン開口部に露出した半導体層をBr-メタノール混合液で少なくともInGaAsP活性層83の下まで、例えば深さ4μm程度エッチングし、図23(d)に示すように、活性層の幅が1~2μmとなる光導波路を形成する。ここでは、レジストパターン形成工程において、レジストパターンのn型InP上クラッド層84表面に対する密着性が所望のエッチング形状が得られる程度の強さにされており、しかもその密着性はウエハ面内、又は異なるウエハ間において均一なものとなっているので、常に図23(d)に示すような所望のエッチング形状、即ち、なだらかな畝状の形状を得ることができる。

【0135】次に、レジスト89を除去した後、LPE法により図23(e)に示すように、p型InPブロック層90、n型InPブロック層91、p型InPブロック層92を光導波路の両サイドの基板81上に光導波路を埋め込むように順次エピタキシャル成長する。上述の光導波路形成のためのエッチングにおいて常に所望のエッチング形状（順メサ形状）の光導波路が得られるので、この埋込成長工程においては、n型InPブロック層91がn型InP上クラッド層84と接触した構造となることはなく、レーザ動作時におけるリーク電流が増大するという問題は生じない。

【0136】この後ウエハ全面にn型InP上クラッド層、n型InGaAsPコンタクト層を順次エピタキシャル成長する工程、基板81裏面、コンタクト層表面にそれぞれp側電極、n側電極を形成する工程等を経て半導体レーザが完成する。

【0137】このように本実施例によれば、ダブルヘテロ構造を構成する半導体層82~84の結晶成長に連続してダミー層85、86を結晶成長し、該ダミー層をエッチング除去して上記半導体層の最上層84表面を露出させ、該層表面をフッ酸処理した後、直ちにパターン形成用のレジスト89を塗布するようにしたから、レジスト塗布前の結晶の表面状態を一定にすることができ、レジストの密着性のバラツキを抑えることができるので、エッチング形状を均一にでき、引き続き行なわれる埋込み成長を再現性良く行なうことができる。

【0138】なお、上記実施例では、InGaAsP層で結晶成長を終えるよりもInP層で結晶成長を終える方が、結晶成長装置の原料ガスのコントロールが容易であるため、ダミー層をInGaAsPダミー層85とInPダミー層86の二層構造としたが、ダミー層はInP上クラッド層と選択エッチングが可能な材料からなる一層の層、例えばInGaAsP層一層であっても上記

実施例の効果は得られるものである。

【0139】また、ダミー層の厚みはMOCVD等の結晶成長により均一な組成の層が形成される厚み、例えば0.1μm以上であればよく上限は特にないが、結晶成長、エッチング除去に要する時間があまり長くないよう、1μm程度以下であることが望ましい。

【0140】また、上記実施例では、Br-メタノール混合液に対し耐性を有することからネガ型レジストを用いているが、Br-メタノール混合液に対し耐性を有するものであればポジ型のレジストを用いてもよい。

【0141】また、上記実施例では、p型InP基板を用いていたが、n型InP基板を用いて、n型InP下クラッド層、InGaAsP活性層、p型InP上クラッド層を用いても同様の効果を得られる。

【0142】また、上記実施例ではファブリペロー型の半導体レーザに適用したものについて示したが、本発明は分布帰還型(Distributed Feedback, DFB)の半導体レーザに適用することもでき、上記実施例と同様の効果を奏する。

【0143】実施例6. 次に本発明の第6~第8の実施例を説明する前に、面方位が(001)のInP基板上に形成した〈110〉方向に伸びるSiO₂膜を選択成長用のマスクとしたメサストライプをMOCVD法によりInP層で埋める場合の積層形状について説明する。

【0144】MOCVD装置としては減圧縦型炉を用い、InP層の成長はトリメチルインジウム(TMI)とホスフィン(PH₃)を原料とし成長温度650℃、成長圧力76torr、PH₃/TMI比100、成長速度3μm/hrで行ない、p型InP層、n型InP層を交互に積層し、K₃Fe(CN)₆-KOH-H₂O系ステンエッチング液によりエッチングすることにより各層の積層形状について調べた。なおp型不純物の原料としてジエチルジンク(DEZn)を、n型不純物の原料としては硫化水素(H₂S)を用い、成長前後の昇降温はPH₃ガス雰囲気で行ない、基板の熱ダメージを防止している。

【0145】まずC₂H₆-O₂系ドライエッチング技術により作成した、図28に示す〈110〉方向に伸びる垂直な形状の、即ちメサ側面が(1/10)面104からなるメサストライプ105をMOCVD法によりInP層で埋める場合について説明する。ここでウエハ表面には選択成長用マスクとしてSiO₂膜103が形成されている。図29は図28に示すメサストライプ105をその両サイドにp型InP層、n型InP層を交互に積層することにより埋め込む際の埋込成長機構を説明するための図であり、図において120~123は埋め込み結晶成長層である。図29(a)に示すように成長初期段階では結晶成長層120はメサ側面の(1/10)面104及び平坦部の(001)面106上にほぼ同一成長速度で成長する。このとき結晶成長層120のメサ

10

20

30

40

50

側面上端部に(111)B面107が形成され、この部位では成長はしない。ここで、(111)B面107と(001)面106のなす角度 θ_1 は 55° である。

【0146】このあと成長される結晶成長層121、122に関しては、同一機構での成長が図29(c)に示す段階まで、すなわちメサ側面の(1/10)面104が消滅するまで進行する。メサ側面の(1/10)面104が消滅した後に成長される結晶成長層123は、図29(d)に示すように(111)B面108上にも成長が進行し、メサストライプ105が埋め込まれる。ここで、(111)B面107はV族元素により形成された面であるためMOCVD法では成長しないが、この図29(d)に示す段階では図30に示すように、(111)B面107と(001)面106が接しているため、接触部108において(001)面106上に成長した粒子が(111)B面107上に成長可能なサイト109を供給し、その結果(111)B面107上に成長が進行する。

【0147】垂直な形状のメサストライプを埋め込む場合は、後述する断面富士山形状(ストライプの幅がその上端部が最も狭く基板に近づくにしたがって円弧状に増加する形状)のメサストライプを埋め込む場合と異なり、メサストライプ側面にマスク103がはみ出していないので、マスク103が材料ガスの流れに影響を与えることはなく、埋め込み結晶成長層の最表面の形状は、図29(d)に示すように平坦となる。

【0148】上述のような埋め込み結晶成長機構を用いれば、図29(a)に示す成長初期段階で、結晶成長層120としてp型InP第1埋込層を薄く形成した後、図29(b)、図29(c)の段階で結晶成長層121、122としてn型InP第2埋込層を形成することにより、n型InP第2埋込層が活性層上のn型第1上クラッド層に接触せず、かつリークパス幅の狭いレーザ構造が得られる。

【0149】次にHBr-H₂O₂-H₂O系ウェットエッチング技術により作成した、図31に示す<110>方向に伸びる断面富士山形状(以下、富士山状ともいう)のメサストライプ110における埋込成長機構について説明する。メサストライプ110の形成はSiO₂膜103をマスクとしてHBr:H₂O₂:H₂O=2:1:10の混合比で20℃に保持された溶液に16分間静止状態で浸漬することにより行ない、メサ深さdが2.5μmのストライプを得た。またこのときSiO₂マスク103直下の材料をInGaAs(P)111とすることにより、メサ側部に(111)A面が存在しない富士山状の形状を得た。この方法により形成したメサストライプ110においては、SiO₂マスク103下部のアンダーエッチのため図31に示すようにメサ深さの約70%の量のサイドエッチxが生じ、結晶側面よりマスクが1.7~1.8μmはみ出している。

【0150】図32は図31に示す富士山状のメサストライプ110を上記図29の場合と同様に、その両サイドにp型InP層、n型InP層を交互に積層することにより埋め込む際の埋込成長機構を説明するための図であり、図において130~133は埋め込み結晶成長層である。

【0151】図32(a)に示すように成長初期段階では結晶成長層130はメサ側面上端部に(111)B面107が形成され、その下部に(221)B面112が形成されるように成長する。ここで、(221)B面112と(001)面のなす角度 θ_2 は 70° である。

【0152】その後の成長段階においては(111)B面107上には全く成長が進まず、また、(221)B面112上にも全く、または僅かしか成長が進まないため、結晶成長層131については図32(b)に示すように成長は平坦部のみで進行し、さらに結晶成長層132についても同様の機構での成長が進行し、図32(c)に示す段階、即ちメサ側面部の(221)B面112が消滅する段階に達する。その後、結晶成長層133については、上述した垂直な形状のメサストライプ105の場合におけるメサ側面の(1/10)面104が消滅した後と同様の成長機構で成長が進行し、富士山状のメサストライプ110が埋め込まれる。

【0153】ここで、SiO₂マスク103下部のサイドエッチのためSiO₂マスク103がメサ側面より飛び出し、それが材料ガスの流れに影響するため、メサ側面が完全には平坦化されず、図32(d)に示すように、0.8μm程度の若干の凹みが生じる。しかしながらこの凹みはSiO₂マスク103を除去し、ウェハ全面に2μm程度結晶成長することにより消滅させることができ、ウェハ表面を平坦化できるため、レーザ構造作製上問題にはならない。

【0154】このような富士山状のメサストライプ110を用いる場合においても、上述のような埋め込み結晶成長機構を用いれば、垂直状のメサストライプ105と同様にリークパス幅の狭いレーザ構造の作製が可能である。即ち、図32(a)に示す成長初期段階で、結晶成長層130としてp型InP第1埋込層を(221)B面112が形成されるように結晶成長した後、図32(b)、図32(c)の段階で結晶成長層131、132としてn型InP第2埋込層を形成することにより、n型InP第2埋込層が活性層上のn型第1上クラッド層に接触せず、かつリークパス幅の狭いレーザ構造が得られる。

【0155】次にBr₂-CH₃OH系ウェットエッチング技術により作製した、図33に示す<110>方向に伸びるメサ上端部に(111)A面114が形成された逆メサ状のメサストライプ113を用いた場合について説明する。この場合においても埋込成長初期段階においてメサ上端部に(111)B面107が形成され、そ

10

20

30

40

50

の面での成長が停止することは上述した他の2つの形状の場合と同様である。しかしながらメサ形成時に形成されるメサ上端部の(111)A面114にはエッチング時に凹凸が発生する。また(111)A面114はIn等のIII族原子で構成される面であり周囲の酸素と化合し汚染を受け易い等の理由からMOCVD法での成長後においても図34に示すように、メサ側面部に微小の凹凸115が形成される。このためレーザ構造作製時にはウェハ内及びレーザ共振器内でリークパス幅がゆらぐという問題が生じる。

【0156】本発明の第6～第8の実施例は、本発明の発明者等が実験的に初めて見出した、以上に述べたメサ状基板上へのMOCVD法によって形成される結晶層の形状及び埋込機構に対する知見を効果的に利用したもので、本発明により初めてp型InP基板で無効電流の少ないレーザの作製が可能となるものである。

【0157】図24は本発明の第6の実施例による半導体レーザの製造方法を示す断面工程図であり、図24(a)はp型InP基板91(Znドープ、キャリア濃度 $5 \times 10^{18} \text{ cm}^{-3}$ 、面方位(001))上にp型InPバッファ層92(Znドープ、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $2 \mu\text{m}$)、アンドープInGaAsP活性層93(発光波長にして $1.3 \mu\text{m}$ 相当の組成、厚さ $0.1 \mu\text{m}$)、n型InP第1上クラッド層94(Sドープ、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $0.7 \mu\text{m}$)、n型InGaAsキャップ層116(Sドープ、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$)、及びn型InPキャップ層117(Sドープ、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $0.1 \mu\text{m}$)を順次積層させた状態を示す。

【0158】これらの層はMOCVD法によりトリメチルインジウム(TMIn)、トリエチルガリウム(TEGa)、ホスフィン(PH₃)、アルシン(AsH₃)、硫化水素(H₂S)、ジエチルジンク(DEZn)を原料とし、成長温度 625°C 、成長圧力 50 torr 、V/III比100で行っている。次にHClによりn型InPキャップ層117を選択的に除去した後スパッタ法によりウェハ上(n型InGaAsキャップ層116上)にSiO₂膜103を形成し、その後通常の写真リソグラフィの手法によりSiO₂膜103を幅 $5 \mu\text{m}$ のストライプ状に加工する(ストライプ方位：〈110〉方向)。そしてこれをマスクとして 20°C に保たれたHBr:H₂O₂:H₂O=2:1:10の混合液で16分間エッチングすることにより深さ $2.5 \mu\text{m}$ の富士山状のメサストライプを形成する。この状態が図24(b)である。

【0159】次にMOCVD法で埋込成長を行なう。この埋込成長では前述の埋込成長機構を調べた時と同様の成長条件でp型InP第1埋込層96(Znドープ、キャリア濃度 $0.8 \times 10^{18} \text{ cm}^{-3}$ 、平坦部での厚さ $0.7 \mu\text{m}$)、n型InP第2埋込層97(Sドープ、キャリ

ア濃度 $7 \times 10^{18} \text{ cm}^{-3}$ 、平坦部での厚さ $0.8 \mu\text{m}$)及びp型InP第3埋込層98(Znドープ、キャリア濃度 $0.8 \times 10^{18} \text{ cm}^{-3}$ 、平坦部での厚さ $1 \mu\text{m}$)をSiO₂マスク103上以外の領域に積層する。この状態が図24(c)である。

【0160】次にHFによりSiO₂マスク103を除去し、HNO₃によりn型InGaAsキャップ層116を除去した後、n型InP第2上クラッド層99(Sドープ、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $1.5 \mu\text{m}$)、n型InPコンタクト層118(Sドープ、キャリア濃度 $7 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $0.5 \mu\text{m}$)をウェハ全面に積層し、ウェハ表面を平坦化する。この状態が図24(d)である。

【0161】その後ウェハ表面(n型InPコンタクト層118上)にオーミック電極119を形成し、(110)面がファブリペロー(Fabry Perot)共振器の共振器面となるようにへき開することによりレーザを作製する。図25にこの方法により作製したレーザ構造の断面図を示す。

【0162】本実施例におけるn型InP第2埋込層97の積層は図32(b)から図32(c)に至る段階の成長機構で行われている。従ってメサ側面上端部にはp型InP第1埋込層96の積層による(111)B面107が形成されているため、n型InP第2埋込層97はメサ側面上端には成長せず、それゆえn型InP第1上クラッド層94と接触することはない。従って本発明を用いることにより従来例の説明において述べた第1の無効電流経路(図53中の230)の発生は防止される。この方法では不純物の拡散等を用いないので埋込各層96、97、98のキャリア濃度には制限は加わらない。

【0163】また本発明では埋込各層96、97、98の積層に膜厚制御性及び均一性に優れたMOCVD法を用いること及びメサ側面部の横方向へのp型InP第1埋込層96の積層が、図32(a)に示す(221)B面112の形成により停止することにより前述した第2の無効電流経路(図55中の231)の幅(図55中の232)を狭く制御することができる。即ち、(221)B面112が形成された後はp型InP第1埋込層96の結晶成長が進んでもメサストライプ側面部の結晶層の厚みは変わらないので、リークパス幅を再現性よく小さく制御することができるものである。

【0164】図35に本実施例により形成したレーザ構造におけるリークパス幅のウェハ内での分布を示す。また比較のため図36に従来の不純物拡散を用いた製造方法によりLPE法で作製したウェハ内でのリークパス幅の分布を示す。図35からわかるように本実施例では、リークパス幅を従来に比べ、非常に狭くかつ均一に制御することができる。なお図35においてウェハ周辺部のリークパス幅が広がっているが、これはウェットエッチングでメサを形成したときにメサの深さが周辺部

10

20

30

40

50

で大きくなっていることにより、 n 型 INP 第2埋込層97の位置が活性層93に対し相対的に低くなったことによるものである。このメサの深さの影響は別の実験により検討しており、メサ深さの精度が $\pm 0.2 \mu m$ 以下であればリークパス幅に影響は与えない。

【0165】従って本発明を用いることにより無効電流が少なく高出力特性等に優れたレーザを均一性及び再現性よく作製することができる。

【0166】実施例7. 次に本発明の第7の実施例について説明する。上記第6の実施例においては図32に示された埋込成長機構となるメサ形状が富士山状すなわちメサ側面が円弧状のスロープとなるメサストライプを用いた場合について述べたが、メサストライプの形状が、ドライエッチング技術等により作製された、図26に示すような垂直な形状である場合は、図29に示された埋込成長機構となる。この場合においても図29(b)、図29(c)の段階で n 型 INP 第2埋込層97を積層することにより、メサ側面上端部には n 型 INP 第2埋込層97の積層前に行われた p 型 INP 第1埋込層96の積層により(111)B面107が形成されているため、 n 型 INP 第2埋込層97は n 型 INP 第1上クラッド層94と接触することはない。

【0167】また、この場合は p 型 INP 第1埋込層96がメサ側面上端部の(111)B面107形成部以外のメサ側面上に成長するので、(221)B面112の形成により成長が停止する上記第6の実施例の場合と異なり、リークパス幅は p 型 INP 埋込層96の積層層厚のみによって決定されるため、 p 型 INP 第1埋込層96の積層を薄くすることでリークパス幅を狭く制御することができる。

【0168】この場合のリークパス幅の制御性は、MOCVD法での層厚制御性によって決まる。MOCVD法では数オングストロームの厚さの薄膜の作製が可能であり、また2インチウェハ内での膜厚分布として $\pm 5\%$ 以下、膜厚再現性としても $\pm 5\%$ 以下の値が得られている。従ってこの場合においてもリークパス幅の平均値を $0.1 \mu m$ と設定した場合に、リークパス幅のウェハ内均一性また再現性を含めた制御性として $\pm 0.01 \mu m$ と非常に優れた値が得られる。従って本第7の実施例においては上記第6の実施例と同様またはそれ以上の無効電流低減の効果が得られる。

【0169】実施例8. 次に本発明の第8の実施例について説明する。メサストライプの形状が、 Br_2-CH_3OH を用いて形成した、図27に示すような逆メサ形状である場合においても、上記第6、第7の実施例と同様の方法により第1の無効電流経路(図53中の230)のないレーザ構造の作製が可能である。しかしながらこの方法では先に説明したように、メサ側面に発生する凹凸のため、第2の無効電流経路(図55中の231)のリークパス幅の制御性は実施例6、又は実施例7

に比べ悪くなる。

【0170】しかしリークパス幅の制御性の悪さがレーザ特性に及ぼす影響、即ち第2の無効電流経路の影響は第1の無効電流経路の影響と比べ少ないため、図52に示す特開昭63-169088号公報に示された従来の半導体レーザよりも優れた特性を有するレーザを作製することは可能である。

【0171】なお、メサストライプの形状については、ストライプ幅が基板側に向かって傾斜角 55° よりも小さい角度で広がるものでは、その側壁に半導体層を形成する際に(111)B面が形成されないので、本実施例の効果は得られない。したがって、メサストライプの形状は、そのストライプ幅が基板に近づくに従い傾斜角 55° 以上 90° 以下の傾きで増加するメサストライプ、または最上部の傾斜角が 55° 以上 90° 以下で円弧状に増加するメサストライプ、または上部が傾斜角 55° 以上 90° 以下の傾きで増加し下部が円弧状に増加するメサストライプとする必要がある。また、富士山状のメサストライプを用いて、(221)B面を形成することによりリークパス幅を制御する場合には、最上部の傾斜角が 70° よりも小さい角度で広がるものでは(221)B面が形成されず、効果が得られないので、この傾斜角が 70° 以上となるようにウエットエッチングを行なう必要がある。

【0172】また、上記実施例では、 INP 及び $INGaAs$ 、あるいは INP 及び $INGaAsP$ を用いてレーザを構成したが、他のIII-V族化合物を用いてもよく、上記実施例と同様の効果を奏する。

【0173】実施例9. 上記第6の実施例では、 p 型基板で無効電流の少ないレーザを得るものについて示したが、この第6の実施例の半導体レーザの製造方法で用いた結晶成長の機構は n 型基板を用いた半導体レーザの作製にも応用することができる。

【0174】図37は本発明の第9の実施例による半導体レーザの製造方法を示す断面工程図である。

【0175】まずMOCVD法を用いて n 型 INP 基板151上に n 型 INP クラッド層152、アンドープ $INGaAsP$ 活性層153、 p 型 INP クラッド層154、 p 型 $INGaAsP$ キャップ層155を順次結晶成長し、この後、 p 型 $INGaAsP$ キャップ層155上にスパッタにより SiO_2 膜160を成膜する。そして、この SiO_2 膜160を通常的光リソグラフィ技術、及びエッチング技術を用いて、図37(a)に示すような(110)方向のストライプ状に加工する。

【0176】次に、 SiO_2 膜160をマスクとして用い、 HBr 系エッチング液により半導体層をエッチングして、図37(b)に示すようにメサを形成する。この時の SiO_2 膜160とメサ側面の p 型 $INGaAsP$ キャップ層155、 p 型 INP クラッド層154の接線となす角度(図38中の θ_1 で示す角度)は、 80° 程度

10

20

30

40

50

になる。この角度はメサ側面に沿ってなめらかに変化し、メサ底面でSiO₂膜160と平行になる。

【0177】次に、MOCVD法で埋込成長を行なう。この埋込成長では前述の埋込成長機構を調べた時と同様の成長条件でp型InP第1埋込層156、及びn型InP第2埋込層157をSiO₂膜160上以外の領域に積層する。ここで、p型InP第1埋込層156は図37(c)に示すように、(111)B面165、及び(221)B面166が形成されるように結晶成長されるが、活性層の側部の(221)B面166が消失しない段階でp型InP第1埋込層156の成長を終了し、この後、n型InP第2埋込層157を図37(d)に示すように埋め込み成長する。

【0178】そして、SiO₂膜160をフッ酸(HF)で、p型InGaAsPキャップ層155を硝酸(NH₄OH)で除去した後、MOCVD法を用いて、ウエハ全面に図37(d)に示すように、p型InPクラッド層158、およびp型InGaAsPコンタクト層159を順次結晶成長する。

【0179】この後、p型InGaAsPコンタクト層159上、及び基板151裏面にオーミック電極161を形成し、(110)面がファブリペロー(Fabry Perot)共振器の共振器面となるようにへき開することによりレーザを作製する。図39にこの方法により作製したレーザ構造の断面図を示す。

【0180】図39に示す半導体レーザにおいて、無効電流が流れる経路は、アンドープInGaAsP活性層153とn型InP電流ブロック層157の間隔、即ち、p型InP電流ブロック層156の活性層の側部での巾Wで決まる。本実施例では、図32に示したメサ側面の埋め込み成長の機構における、埋め込み層130、及び131の成長に相当する段階で、p型InP電流ブロック層156の成長を行ない、活性層の側部に、その表面上に全く、または僅かしか成長が進まない(221)B面を形成するようにしているので、p型InP電流ブロック156の活性層の側部での巾Wは0.1μm程度まで狭くすることができ、無効電流を大幅に低減できる。従って、本実施例によれば、高出力での動作特性の優れた、n基板を用いた埋め込みヘテロ型の半導体レーザを再現性よく作製することができる。

【0181】なお、上記第9の実施例では活性層の側部に(221)B面が形成される場合について示したが、活性層の側部に現れる、その表面上に全く、または僅かしか成長が進まない結晶面は、メサストライプの側面の傾斜角度等によって異なるものとなる。しかし、現れる結晶面が、該結晶面の傾斜角度、即ち該結晶表面とレーザ積層構造の積層面のなす角度が、(111)B面の傾斜角度よりも大きく、かつ90°以下であるものならば、この結晶面を有するようにp型InP電流ブロック層156を形成することにより、上記実施例と同様の効

果を得ることができる。

【0182】また、上記第9の実施例ではメサストライプの形状が断面富士山形状のものについて示したが、上記第7の実施例のように、垂直な形状であってもよい。この場合は図29に示すように埋め込み成長が行なわれるので、図29(a)に示す埋め込み層120の成長に相当する段階で、p型InP電流ブロック層の成長を行なうことにより、p型InP電流ブロックの活性層の側部での巾を小さく制御することができ、上記第9の実施例と同様、無効電流の少ない、高出力での動作特性の優れた、n基板を用いた埋め込みヘテロ型の半導体レーザを再現性よく作製することができる。

【0183】実施例10。次に、この発明の第10の実施例について説明する。上記第6の実施例では、エッチングによりメサストライプを形成した後、p型InP第1埋込層96を成長する際、基板等の熱劣化を防止するために、ホスフィン(PH₃)のみを流しながら基板温度を結晶成長温度(625℃)まで昇温している。このため、基板やクラッド層の熱劣化は防止できるが、メサストライプ側面に露出しているInGaAsP活性層93の側面の劣化、例えばAsの脱離、又はAsからPへの置換等が起こる。基板昇温中にこのような活性層側面の熱劣化が生ずると、その上に成長される埋め込み層(電流ブロック層)の結晶品質が劣悪なものとなり、この結果、レーザ発光に寄与しない無効電流の発生、レーザの信頼性の低下といった問題が生ずる。

【0184】本第10の実施例は、基板昇温中の活性層側面の熱劣化を防止して、良好な特性を有し、信頼性の高い半導体レーザを作製できるものである。以下、その製造工程を図40に沿って説明する。

【0185】まず、図40(a)に示すように、p型InP基板171(Znドーブ、キャリア濃度 $5 \times 10^{18} \text{ cm}^{-3}$ 、面方位(001))上にp型InPバッファ層172(Znドーブ、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さ2μm)、アンドープInGaAsP活性層173(発光波長にして1.3μm相当の組成、厚さ0.1μm)、n型InP第1上クラッド層174(Sドーブ、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さ0.7μm)、n型InGaAsキャップ層180(Sドーブ、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さ0.1μm)、及びn型InPキャップ層181(Sドーブ、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さ0.1μm)を順次積層する。

【0186】これらの層はMOCVD法によりトリメチルインジウム(TMI_n)、トリエチルガリウム(TEGa)、ホスフィン(PH₃)、アルシン(AsH₃)、硫化水素(H₂S)、ジエチルジンク(DEZn)を原料とし、成長温度625℃、成長圧力50torr、V/III比100で行っている。

【0187】次にHC1によりn型InPキャップ層181を選択的に除去した後、スパッタ法によりウエハ上

(n 型 InGaAs キャップ層 180 上) に SiO_2 膜 183 を形成し、その後通常的光トリソグラフィの手法により SiO_2 膜 183 を幅 $5\mu\text{m}$ のストライプ状に加工する (ストライプ方位: $\langle 110 \rangle$ 方向)。そしてこれをマスクとして 20°C に保たれた $\text{HBr}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=2:1:10$ の混合液で 16 分間エッチングすることにより深さ $2.5\mu\text{m}$ の富士山状のメサストライプを形成する。この状態を図 40 (b) に示す。

【0188】次に MOCVD 法で埋込成長を行なう。ホスフィン (PH_3) を流しながら昇温を行ない、昇温途中で基板温度が 400°C になった時点より埋込成長を開始し、 p 型 InP 低温成長層 175 (Zn ドープ、キャリア濃度 $0.8 \times 10^{18}\text{cm}^{-3}$ 、平坦部での厚さ: $0.05\mu\text{m}$) を成長し、基板温度が 625°C になった後に、 p 型 InP 第 1 埋込層 176 (Zn ドープ、キャリア濃度 $0.8 \times 10^{18}\text{cm}^{-3}$ 、平坦部での厚さ: $0.7\mu\text{m}$)、 n 型 InP 第 2 埋込層 177 (S ドープ、キャリア濃度 $7 \times 10^{18}\text{cm}^{-3}$ 、平坦部での厚さ $0.8\mu\text{m}$) 及び p 型 InP 第 3 埋込層 178 (Zn ドープ、キャリア濃度 $0.8 \times 10^{18}\text{cm}^{-3}$ 、平坦部での厚さ $1\mu\text{m}$) を SiO_2 マスク 183 上以外の領域に積層する (以下埋込成長と呼ぶ)。この状態を図 40 (c) に示す。

【0189】次に HF により SiO_2 マスク 183 を除去し、 HNO_3 により n 型 InGaAs キャップ層 180 を除去した後、 n 型 InP 第 2 上クラッド層 179 (S ドープ、キャリア濃度 $1 \times 10^{18}\text{cm}^{-3}$ 、厚さ $1.5\mu\text{m}$)、 n 型 InP コンタクト層 182 (S ドープ、キャリア濃度 $7 \times 10^{18}\text{cm}^{-3}$ 、厚さ $0.5\mu\text{m}$) をウエハ全面に積層し、ウエハ表面を平坦化する。この状態が図 40 (d) である。

【0190】その後ウエハ表面 (n 型 InP コンタクト層 182 上) および裏面にオーミック電極 184 を形成し、 (110) 面がファブリペロー共振器の共振器面となるようにへき開することによりレーザを作製する。図 41 にこの方法により作製したレーザ構造の断面図を示す。

【0191】次に動作について説明する。図 41 に示された半導体レーザにおいて、 p 型 InP 基板 171 及び n 型 InP 上クラッド層 179 の両端に順バイアス電圧を印加すると、それぞれのキャリアであるホールと電子が InGaAsP 活性層 173 に注入され InGaAsP 活性層 173 中で発光再結合することによりレーザ発振が生じる。 p 型 InP 第 1 埋込層 176、 n 型 InP 第 2 埋込層 177、 p 型 InP 第 3 埋込層 178 は InGaAsP 活性層 173 側部を InGaAsP 活性層 173 より屈折率の小さい InP 結晶で埋め込むことにより活性層 173 で発生した光を活性層 173 内に有効に閉じ込めること、及び n 型 InP 第 2 埋込層 177 と p 型 InP 第 3 埋込層 178 により逆バイアス接合を形成することにより電流狭窄を行ない活性層 173 に効率よ

くキャリアを注入することを目的として形成されたものである。

【0192】次に、本第 10 の実施例による半導体レーザの製造方法の効果を、面方位が (001) の InP 基板上に成長した InGaAsP 層上に、MOCVD 法を用いて異なる成長シーケンスにより InP 層を再成長する実験の結果に基づいて説明する。図 42 (a) は上記第 6 の実施例による埋込成長における成長シーケンスを示す図であり、図 42 (b) は本第 10 の実施例による埋込成長における成長シーケンスを示す図である。

【0193】実験では、上述の InGaAsP 層上への再成長を、昇温中はホスフィン (PH_3) のみを流し、図 42 (a)、(b) に示す 2 種類のシーケンスで行なった。図 43 は実験の結果を説明するための図であり、図 43 (a)、(b) は図 42 (a) に示す成長シーケンスで再成長を行なった場合の断面構造及び再成長層の表面状態を、図 43 (c)、(d) は図 42 (b) に示す成長シーケンスで再成長を行なった場合の断面構造及び再成長層の表面状態をそれぞれ示す。

【0194】上記第 6 の実施例の埋込成長の成長シーケンスによって再成長した場合、図 43 (b) に示すように再成長層は白濁し、鏡面が得られなかった。これはホスフィンのみを流した昇温の際に、例えば InGaAsP 層の構成元素である As の脱離、または、 As から P への置換等による InGaAsP 層の表面劣化が発生することが原因であると考えられる。一方、本第 10 の実施例による埋込成長法の場合、図 43 (d) に示すように再成長層は鏡面であり、昇温時の InGaAsP 層の表面劣化が生じていないことがわかる。

【0195】なお、上記実施例では、 p 型 InP 低温成長層 175 を基板温度 $400 \sim 625^\circ\text{C}$ において、平坦部での厚さが $0.05\mu\text{m}$ となるように成長したが、厚さは $0.003 \sim 0.3\mu\text{m}$ の範囲内、および成長開始温度は $300 \sim 500^\circ\text{C}$ の範囲内にあればよい。層厚の下限は、 $0.003\mu\text{m}$ (10 原子層の厚み) 程度あれば活性層からの As の脱離、 As から P への置換等を抑えることができることから、層厚の上限は、 $0.3\mu\text{m}$ 程度までならば低温成長でも比較的結晶性の良好な層が得られるということから定めている。また、成長開始温度の下限は、 300°C よりも低い温度では結晶性の良好な低温成長層が形成しにくいことから、成長開始温度の上限は、 500°C 程度までならば活性層の表面劣化もそれほどひどくはないことから定めている。なお、低温成長において、 SiO_2 膜 183 上へのポリ付着を抑制するためには、低温成長層 175 の厚さは薄く、かつ、成長速度は遅い方がよい。

【0196】また、上記実施例では、低温成長層の成長を基板温度 400°C から開始し、埋め込み層 176 の成長温度 (625°C) に達するまで連続して行なうようにしているが、これは、例えば、基板温度 400°C より成

10

20

30

40

50

長を開始し、厚さ約0.01 μ m程度成長した後、基板温度が625℃になる間は成長を中断しPH₃のみを流した状態でもよい。

【0197】また、SiO₂膜183上へのポリ付着を完全に抑制する目的で、HClガスを例えば1SCCM程度、材料ガスと同時に導入してもよい。

【0198】また、上記実施例では、p型InP低温成長層をMOCVD法により成長したが、低温成長における結晶性向上の目的で、TMInおよびPH₃を交互に供給してALE法により成長してもよい。

【0199】実施例11. 次に本発明の第11の実施例について説明する。上記第10の実施例においては、埋込成長の昇温中に低温成長層を形成し、これにより活性層側面を覆うことによって活性層側面の熱劣化を防止するようにしたが、本第11の実施例は、基板昇温中にホスフィン(PH₃)とともにアルシン(AsH₃)も供給するようにして基板昇温中のInGaAsP活性層側面の熱劣化を防止するようにしたものである。

【0200】図44は本発明の第11の実施例による半導体レーザの製造方法を説明するための図であり、図44に示すように、本第11の実施例では基板の昇温中にPH₃及びAsH₃とを同時に供給するようにしている。図44(a)に示すように、p型InP低温成長層の挿入は行わず、p型InP第1埋込層を直接成長する場合において、昇温中に図44(b)に示すように、V族材料ガスを導入することにより、InPからなる基板、クラッド層の熱劣化のみならず、InGaAsPからなる活性層の熱劣化を防止することができる。ここで、AsH₃の供給が多すぎる場合には、InP表面の劣化が起こるため、InGaAsP層の表面からAsの脱離が起こる温度から、p型InP第1埋込層176の成長前にAsH₃の供給を行なえばよい。また、供給するPH₃に対するAsH₃の比はInGaAsP活性層を実際に成長する場合の比率より小さくしなければならない。また、基板温度による材料ガスの分解率の変化はPH₃とAsH₃とで異なるため、基板表面におけるp圧とAs圧の比を一定に維持する目的で、PH₃とAsH₃の供給量を基板温度に応じて変化させるのが効果的である。図44(b)に示す例では、PH₃を昇温開始時から100SCCMの一定量で供給し、これに対し、AsH₃を基板温度が400℃程度となった時点t₁から20SCCMで供給を始め、基板温度が埋め込み成長開始温度(625℃)となる時点t₂まで、徐々にその供給量を減らしながら供給を行なうようにしている。t₂時点でのAsH₃供給量は10SCCMである。

【0201】なお、上記第10及び第11の実施例では、埋込成長により、p型InP第1埋込層176、n型InP第2埋込層177、及びp型InP第3埋込層178を成長したが、これらの層の代わりに、半絶縁層又は、半絶縁層を含む多層を成長する場合にも上記第1

0. 第11の方法を適用することができる。

【0202】また、上記第10. 第11の実施例では、メサストライプの形状が断面富士山形状のものについて示したが、メサストライプの形状は、上記第7の実施例のような垂直な形状、または上記第8の実施例のようなその上端に逆メサ形状の部分を持つ形状であってもよい。

【0203】また、上記第10. 第11の実施例では、p型InP基板上に作製したレーザについて述べたが、n型InP基板上に作製したレーザの場合にも同様の効果を奏する。

【0204】

【発明の効果】以上のように、この発明によれば、ダブルチャネル埋込ヘテロ型の半導体レーザにおいて、メサ溝内に埋込成長された第1導電型電流ブロック層表面側から導入された不純物により形成されたメサストライプの上部と第2導電型電流ブロック層とを電氣的に分離する不純物導入領域を備えた構成としたので、第2導電型電流ブロック層の先端とメサ部の接触によるリーク電流の発生を防止できる効果がある。

【0205】また、この発明によれば、ダブルチャネル埋込ヘテロ型の半導体レーザの製造方法において、メサストライプ形状のダブルヘテロ構造の両側に第1導電型埋込層、第2導電型電流ブロック層、及び第1導電型電流ブロック層を順次埋込成長した後、上記第1導電型電流ブロック層表面から不純物を導入して上記メサストライプの上部と上記第2導電型電流ブロック層とを電氣的に分離する不純物導入領域を形成するようにしたので、第2導電型電流ブロック層の先端とメサ部の接触による構造不良を抑制でき、製造歩留りを向上できる効果がある。さらに、この不純物の導入を、上記ダブルヘテロ構造をメサストライプ形状にエッチングする際のエッチングマスクをマスクとして用いて行なうようにしたので、不純物導入領域の形成を容易に高精度に行なうことができる効果がある。

【0206】また、この発明によれば、ストライプ状のダブルヘテロ構造の両側に電流ブロック構造を配置した半導体レーザにおいて、第1導電型半導体基板上に少なくとも活性層及び第2導電型半導体層を順次結晶成長して形成されたダブルヘテロ構造と、それぞれ、上記第2導電型半導体層及び活性層を貫通して設けられ、上記ダブルヘテロ構造を上記ストライプ状の領域とその両側の領域に分離する、相互に平行な2条のストライプ状溝と、該2条のストライプ状溝内に埋込形成された第1導電型半導体層とを備え、上記両側の領域の上記第2導電型半導体層が上記電流ブロック構造の一部となる構成としたので、リーク電流経路の幅が埋込成長形状等に依存しない、高品位の特性を安定して得ることのできるレーザ構造を実現できる効果がある。

【0207】また、この発明によれば、半導体レーザの

10

20

30

40

50

製造方法において、第1導電型半導体基板上に少なくとも活性層、及び第2導電型の第1の半導体層を順次結晶成長し、ダブルヘテロ構造を形成した後、それぞれ、上記第1の半導体層及び活性層を貫通し、上記ダブルヘテロ構造をストライプ状の領域とその両側の領域に分離するように、相互に平行な2条のストライプ状溝を形成し、この後、上記ストライプ状の領域の上面を除くウエハ全面に第1導電型の第2の半導体層を形成し、さらに、上記ストライプ状の領域の上面を含むウエハ全面に第2導電型の第3の半導体層を形成するようにしたから、リーク電流経路の幅は活性層の位置での上記2条のストライプ状溝の溝幅のみで決まるため、特性の優れた半導体レーザを安定して作製することができる効果がある。

【0208】また、この発明によれば、半導体レーザの製造方法において、成長表面の面方位が〔100〕面である第1導電型半導体基板上に少なくとも活性層、第2導電型の第1の半導体層、及び第1導電型の第2の半導体層を順次結晶成長した後、上記第2の半導体層を貫通し、上記第1の半導体層の表面を露呈する〈011〉方向にのびるストライプ状の第1の溝を形成し、この後、上記第1の溝の両隅部に、上記第1の半導体層及び活性層を貫通し、これら第1の半導体層及び活性層をストライプ状の領域とその両側の領域に分離する、〈011〉方向にのびる2条のストライプ状溝を形成し、この後、上記2条の溝を埋め込む第1導電型の第3の半導体層を形成し、さらに、上記ストライプ状の領域上、上記第3の半導体層上、及び上記第2の半導体層上に第2導電型の第4の半導体層を形成するようにしたから、リーク電流経路の幅は活性層の位置での上記2条のストライプ状溝の溝幅のみで決まるため特性の優れた半導体レーザを安定して作製することができる効果がある。

【0209】また、この発明によれば、第1導電型基板上に第1導電型クラッド層、活性層、及び第2導電型クラッド層を順次結晶成長して形成されたその側面がその表面上に結晶成長が生じない非結晶成長面からなるリッジストライプ形状のダブルヘテロ構造と、該ダブルヘテロ構造の両側の上記基板上に該ダブルヘテロ構造に接して配置された、その表面が平坦な第2導電型電流ブロック層とを備えた構成としたから、製造時にリークパス幅が容易に制御することが可能なレーザ構造を実現できる効果がある。

【0210】また、この発明によれば、半導体レーザの製造方法において、〔100〕面を主面とする第1導電型半導体基板上に、活性層を有する能動領域を〔111〕B面と〔100〕面で囲まれた〈011〉方向の断面台形形状のリッジストライプ形状となるように形成した後、該リッジストライプ形状の能動領域の両側の基板上に第2導電型の半導体層を〔100〕面に平行にかつ

平坦に形成するようにしたので、第2導電型の半導体層を活性層に近づけた場合にも、該第2導電型の半導体層が活性層上に配置されたクラッド層に接触することがなく、リークパス幅が容易に制御することができる効果があり、さらに、上記能動領域を、基板表面に〈011〉方向のストライプ状開口を有する選択成長用マスクを設けた状態で、第1導電型半導体層、活性層、及び第2導電型半導体層を順次結晶成長することにより形成するようにしたので、2回の結晶成長により作製でき、生産性を向上できる効果がある。

【0211】また、この発明によれば、半導体レーザの製造方法において、ダブルヘテロ構造を構成する半導体層の結晶成長に連続してダミー層を結晶成長し、該ダミー層をエッチング除去して上記半導体層の最上層表面を露出させた後、該層表面上に直ちにパターン形成用のレジスト塗布するようにしたから、レジスト塗布前の結晶の表面状態を一定にすることができ、レジストの密着性のバラツキを抑えることができるので、エッチング形状を均一にでき、引き続き行なわれる埋込み成長を再現性良く行なうことができる効果がある。

【0212】また、この発明によれば、活性層を含むメサストライプの側面部に形成された（111）B面として表される結晶面を有するp型半導体埋め込み層と、該p型半導体埋め込み層上に、活性層上部に形成されたn型半導体層と接触することなく形成されたn型半導体埋め込み層とを備えた構成としたから、活性層側部のn型半導体層が活性層上部のn型半導体層と分離されて形成されており、レーザを高出力で動作させた場合において無効電流が少ない良好な特性を実現できる効果がある。

【0213】またこの発明によれば、膜厚制御性の優れたMOCVD法を用い成長速度の結晶面方位依存性を利用することにより活性層側部のn型半導体層を活性層上部のn型半導体層と分離して形成するようにしたので、無効電流の流れる経路を均一性、再現性よく小さく制御することが可能であり良好な特性の半導体レーザを再現性よく作成することができる効果がある。

【0214】また、この発明によれば、n型半導体基板上に順次結晶成長されメサストライプ形状に成形された活性層を含む半導体多層膜と、該メサストライプの側面部に形成された、上記半導体多層膜の積層面に対する角度が（111）B面として表される結晶面が上記半導体多層膜の積層面となす角度よりも大きくかつ90°以下である結晶面を上記活性層の側面の位置に有するp型半導体埋め込み層を備えた構成としたから、該p型半導体埋め込み層のメサ側面の巾が非常に薄く、レーザを高出力で動作させた場合において無効電流が少ない、良好な特性を有する、n型基板を用いた埋め込みヘテロ型の半導体レーザを実現できる効果がある。

【0215】また、この発明によれば、半導体レーザの製造方法において、面方位が（001）あるいは（00

10

20

30

40

50

1) 近傍であるn型半導体基板上に活性層を含む半導体多層膜を順次結晶成長し、この半導体多層膜を〈110〉方向に沿ったストライプ形状に成形した後、ストライプ形状に成形された半導体多層膜側部に、MOCVD法を用いて、(111)B面を上記ストライプ上端部側面に有し、上記半導体多層膜の積層面に対する角度が(111)B面として表される結晶面が上記半導体多層膜の積層面となす角度よりも大きくかつ90°以下である結晶面を上記活性層の側面の位置に有するp型半導体層を形成するようにしたから、p型半導体埋め込み層のメサ側面の巾を、均一性、再現性よく薄くでき、無効電流が少なく、良好な特性を有する、n型基板を用いた埋め込みヘテロ型の半導体レーザを容易に作製できる効果がある。

【0216】また、この発明によれば、半導体基板上に順次結晶成長されメサストライプ形状に成形された、活性層及び該活性層の下側及び上側に配置されたクラッド層を含む半導体多層膜と、該メサストライプを埋め込むように結晶成長された埋め込み層と、上記メサストライプの側面と上記埋め込み層との間に配置された上記埋め込み層の結晶成長温度よりも低い基板温度で形成した薄い低温成長層とを備えた構成としたので、埋め込み層の結晶性の優れた、信頼性の高い、埋め込みヘテロ型の半導体レーザを実現できる効果がある。

【0217】また、この発明によれば、半導体レーザの製造方法において、半導体基板上に活性層及び該活性層の下側及び上側に配置されたクラッド層を含む半導体多層膜を結晶成長し、これをメサストライプ形状に成形した後、上記メサストライプの側面上にその後の埋め込み成長よりも低い基板温度で薄い低温成長層を形成し、この後、前記低温成長層上に上記メサストライプを埋め込むように半導体層を結晶成長するようにしたから、低温成長層により活性層の側面の熱劣化が抑えられ、埋め込み層の結晶性の優れた、信頼性の高い、埋め込みヘテロ型の半導体レーザを作製できる効果がある。

【0218】また、この発明によれば、半導体レーザの製造方法において、InP基板上にInGaAsP活性層及び該活性層の下側及び上側に配置されたInPクラッド層を含む半導体多層膜を結晶成長し、これをメサストライプ形状に成形した後、ホスフィン(PH₃)とアルシン(AsH₃)を、アルシンの供給比を活性層を成長する場合の比率よりも小さい比率で供給しながら基板を結晶成長温度まで昇温し、この後、上記メサストライプを埋め込むように半導体層を結晶成長するようにしたので、基板昇温中にメサストライプ側面に露出した活性層及びクラッド層の熱劣化が抑えられ、埋め込み層の結晶性の優れた、信頼性の高い、埋め込みヘテロ型の半導体レーザを作製できる効果がある。

【図面の簡単な説明】

【図1】この発明の第1の実施例による半導体レーザを

示す斜視図である。

【図2】図1の半導体レーザの製造工程の一部を示す図である。

【図3】図1の半導体レーザの製造工程の一部を示す図である。

【図4】この発明の第2の実施例による半導体レーザを示す斜視図である。

【図5】図4の半導体レーザの製造工程を示す図である。

【図6】この発明の第3の実施例による半導体レーザを示す斜視図である。

【図7】図6の半導体レーザ装置の製造工程の一部を示す図である。

【図8】図6の半導体レーザの製造工程の一部を示す図である。

【図9】第2の実施例による半導体レーザの各部の寸法を説明するための模式図である。

【図10】第3の実施例による半導体レーザの各部の寸法を説明するための模式図である。

【図11】この発明の第4の実施例による半導体レーザを示す斜視図である。

【図12】図11の半導体レーザ装置の製造工程を示す図である。

【図13】図11の半導体レーザ装置の製造工程における埋込形状を説明する断面模式図である。

【図14】選択成長により形成されたリッジ部の形状の差による埋込形状の違いを説明するための断面模式図である。

【図15】第4の実施例の変形例の主要部を示す断面図である。

【図16】第4の実施例の他の変形例の主要部を示す断面図である。

【図17】この発明の第4の実施例による半導体レーザにおいて、第2導電型電流ブロック層の層厚が第1導電型下クラッド層の層厚と同じ厚さである場合の動作を説明するための図である。

【図18】この発明の第4の実施例による半導体レーザにおいて、第2導電型電流ブロック層の層厚が第1導電型下クラッド層の層厚よりも薄い場合の動作を説明するための図である。

【図19】この発明の第4の実施例による半導体レーザにおいて、第2導電型電流ブロック層の層厚が第1導電型下クラッド層の層厚よりも厚い場合の動作を説明するための図である。

【図20】この発明の第4の実施例による半導体レーザの製造工程において用いる選択成長マスクのマスクパターンの一例を示す図である。

【図21】図20に示す選択成長マスクを用いて作製した半導体レーザの構造を示す図である。

【図22】この発明の第4の実施例による半導体レーザ

の製造工程において用いる選択成長マスクのマスクパターンの他の例を示す図である。

【図23】この発明の第5の実施例による半導体レーザの製造方法を説明するための図である。

【図24】この発明の第6の実施例による半導体レーザの製造方法を示す断面工程図である。

【図25】第6の実施例により形成された半導体レーザの構造を示す図である。

【図26】この発明の第7の実施例による半導体レーザの製造方法におけるメサストライプの形状を示す図である。

【図27】この発明の第8の実施例による半導体レーザの製造方法におけるメサストライプの形状を示す図である。

【図28】垂直な形状のメサストライプを示す断面図である。

【図29】垂直な形状のメサストライプでの埋込成長機構を示す図である。

【図30】(111) B面上への成長の説明図である。

【図31】ストライプの幅がその上端部が最も狭く基板に近づくにしたがって円弧状に増加する形状(断面富士山形状)のメサストライプを示す断面図である。

【図32】断面富士山状のメサストライプでの埋込成長機構を示す図である。

【図33】その上部に逆メサ形状の部分をもつ形状(逆メサ形状)のメサストライプを示す断面図である。

【図34】逆メサ形状のメサストライプでの埋込成長時に生じるメサストライプ側面の凹凸を示す図である。

【図35】第6の実施例により作製した半導体レーザのリークパス幅のウエハ面内分布図である。

【図36】従来の不純物の拡散を用いた製造方法により作製した半導体レーザ(図54)のリークパス幅のウエハ面内分布図である。

【図37】この発明の第9の実施例による半導体レーザの製造方法を示す断面工程図である。

【図38】第9の実施例による半導体レーザの製造方法におけるメサストライプの形状を説明するための図である。

【図39】第9の実施例により形成された半導体レーザの構造を示す図である。

【図40】この発明の第10の実施例による半導体レーザの製造方法を示す断面工程図である。

【図41】第10の実施例により形成された半導体レーザの構造を示す図である。

【図42】第6の実施例による半導体レーザの製造方法における埋込成長の成長シーケンス及び第10の実施例による半導体レーザの製造方法における埋込成長の成長シーケンスを示す図である。

【図43】図42に示す2つの異なる成長シーケンスを用いてInGaAsP層上にInP層を結晶成長した実

験の結果を説明するための図である。

【図44】この発明の第11の実施例による半導体レーザの製造方法を説明するための図である。

【図45】従来のダブルチャネル埋込ヘテロ型の半導体レーザの主要部の構造を示す断面図である。

【図46】図45の半導体レーザを製造する従来の半導体レーザの製造方法を示す工程図である。

【図47】図45の半導体レーザを製造する従来の他の半導体レーザの製造方法を示す工程図である。

【図48】従来の半導体レーザの第1の無効電流経路を示す模式図である。

【図49】従来の半導体レーザの第2の無効電流経路を示す模式図である。

【図50】従来の半導体レーザの製造方法におけるリッジ形状の一例を示す模式図である。

【図51】図50に示すリッジ形状を埋め込んで形成した半導体レーザにおける無効電流経路を示す図である。

【図52】従来の半導体レーザ構造を示す断面図である。

【図53】半導体レーザにおける第2の無効電流経路の説明図である。

【図54】第2の無効電流経路の発生を防止する対策を施した従来の半導体レーザの構造を示す図である。

【図55】半導体レーザにおける第1の無効電流経路の説明図である。

【図56】リークパス幅と最大光出力の関係を示す図である。

【図57】従来のn型基板を用いた埋込ヘテロ型の半導体レーザを示す斜視図である。

【図58】図57の半導体レーザの動作を説明するための断面模式図である。

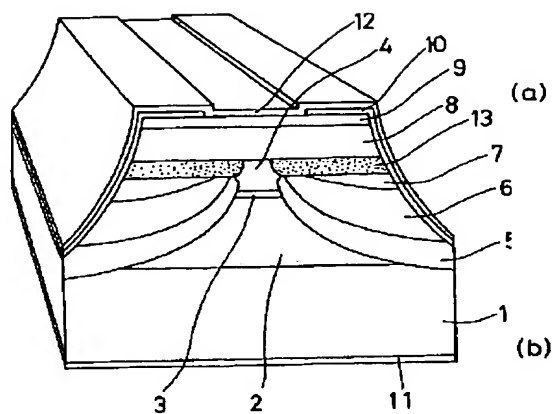
【図59】図57の半導体レーザの製造方法を示す断面工程図である。

【符号の説明】

- | | |
|----|-----------------------|
| 1 | p型InP基板 |
| 2 | p型InPクラッド層 |
| 3 | アンドープInGaAsP活性層 |
| 4 | n型InP第1上クラッド層 |
| 5 | p型InP埋込層 |
| 6 | n型InP電流ブロック層 |
| 7 | p型InP電流ブロック層 |
| 8 | n型InP第2上クラッド層 |
| 9 | n型InGaAsPコンタクト層 |
| 10 | 絶縁膜 |
| 11 | p側電極 |
| 12 | n側電極 |
| 13 | p型不純物導入領域 |
| 15 | SiO ₂ パターン |
| 16 | チャネル溝 |
| 17 | p型不純物 |

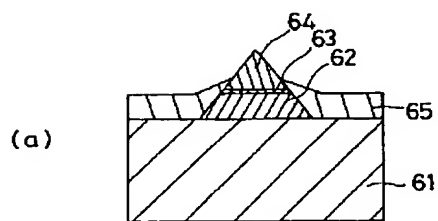
21	p型InP基板	93	InGaAsP活性層
22	p型InPクラッド層	94	n型InP第1上クラッド層
23a	アンドープInGaAsP活性層	95	メサストライプ構造
24a	n型InP第1上クラッド層	96	p型InP第1埋込層
24b	n型InP電流ブロック層	97	n型InP第2埋込層
25	p型InP電流ブロック層	98	p型InP第3埋込層
26	n型InP第2上クラッド層	99	n型InP第2上クラッド層
27	n型InGaAsPコンタクト層	103	SiO ₂
28	絶縁膜	104	(110)面
29	p側電極	10	105 垂直な形状のメサストライプ
30	n側電極	106	(001)面
41	p型InP基板	107	(111)B面
42	p型InPクラッド層	108	(001)面と(111)B面の接触部
43a	アンドープInGaAsP活性層	109	(111)B面の成長可能なサイト
44a	n型InP第1上クラッド層	110	富士山状メサストライプ
44b	n型InP電流ブロック層	111	InGaAs(P)層
45	InGaAsPエッチングストッパ層	112	(221)B面
46	p型InP電流ブロック層	113	逆メサ状メサストライプ
47	p型InP埋込層	114	(111)A面
48	n型InP第2上クラッド層	20	151 n型InP基板
49	n型InGaAsPコンタクト層	152	n型InP下クラッド層
50	絶縁膜	153	アンドープInGaAsP活性層
51	p側電極	154	p型InP第1上クラッド層
52	n側電極	155	p型InGaAsPキャップ層
61	p型InP基板	156	p型InP第1埋込層
62	p型InPクラッド層	157	n型InP第2埋込層
63	アンドープInGaAsP活性層	158	p型InP第2上クラッド層
64	n型InP第1上クラッド層	159	p型InGaAsPコンタクト層
65	n型InP電流ブロック層	160	SiO ₂ 膜
66	n型InP層	30	165 (111)B面
67	p型InP電流ブロック層	166	(221)B面
68	n型InP第2上クラッド層	167	n側電極
69	n型InGaAsPコンタクト層	168	p側電極
70	絶縁膜	171	p型InP基板
71	p側電極	172	p型InP下クラッド層
72	n側電極	173	アンドープInGaAsP活性層
73	マスク部分	174	n型InP第1上クラッド層
74	能動層成長用開口部	175	p型InP低温成長層
78	ダミー層成長用開口部	176	p型InP第1埋込層
81	p型InP基板	40	177 n型InP第2埋込層
82	p型InP下クラッド層	178	p型InP第3埋込層
83	InGaAsP活性層	179	n型InP第2上クラッド層
84	n型InP上クラッド層	180	n型InGaAsキャップ層
85	InGaAsPダミー層	181	n型InPキャップ層
86	InPダミー層	182	n型InGaAsPコンタクト層
89	ネガ型レジスト	183	SiO ₂ 膜
91	p型InP基板	184	電極
92	p型InPバッファ層		

【図1】

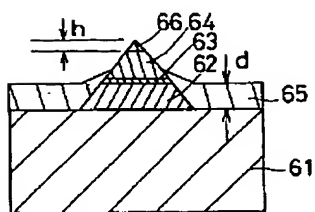


- 1: p型InP基板
 2: p型InP下クラッド層
 3: アンダーープInGaAsP活性層
 4: n型InP第1上クラッド層
 5: p型InP埋込層
 6: n型InP電流ブロック層
 7: p型InP電流ブロック層
 8: n型InP第2上クラッド層
 9: n型InGaAsP コンタクト層
 10: 絶縁膜
 11: p側電極
 12: n側電極
 13: p型不純物導入領域

【図14】

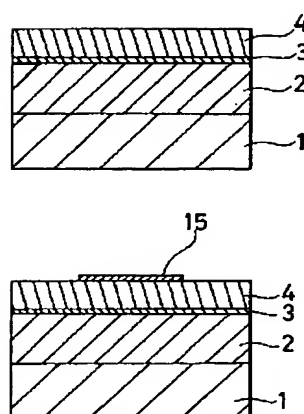


(a)



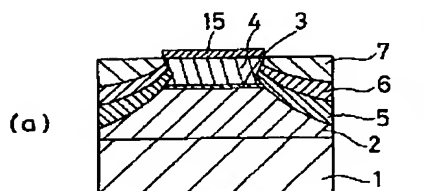
(b)

【図2】

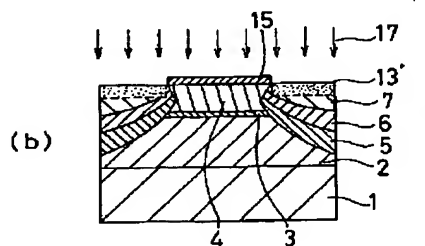


(c)

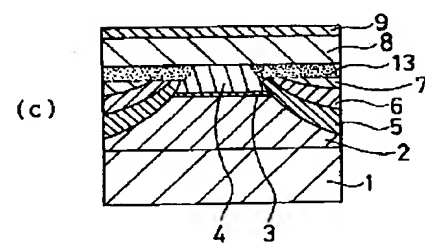
【図3】



(a)

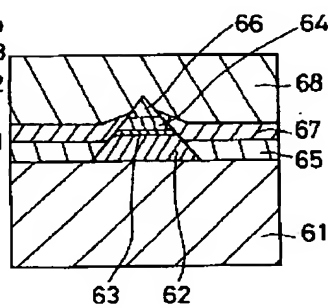


(b)

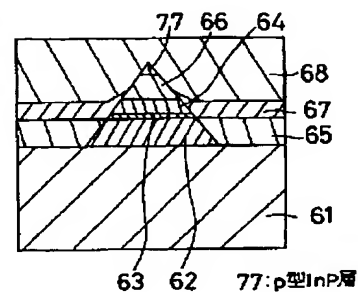


(c)

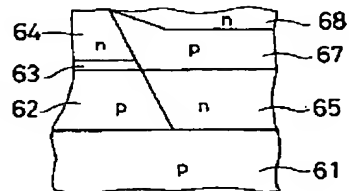
【図15】



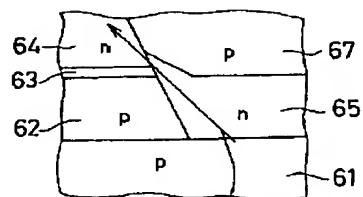
【図16】



【図17】

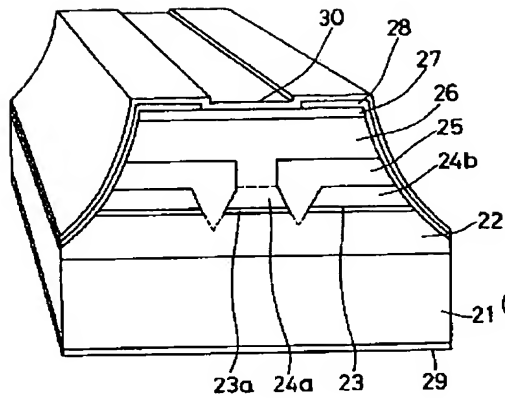


【図19】



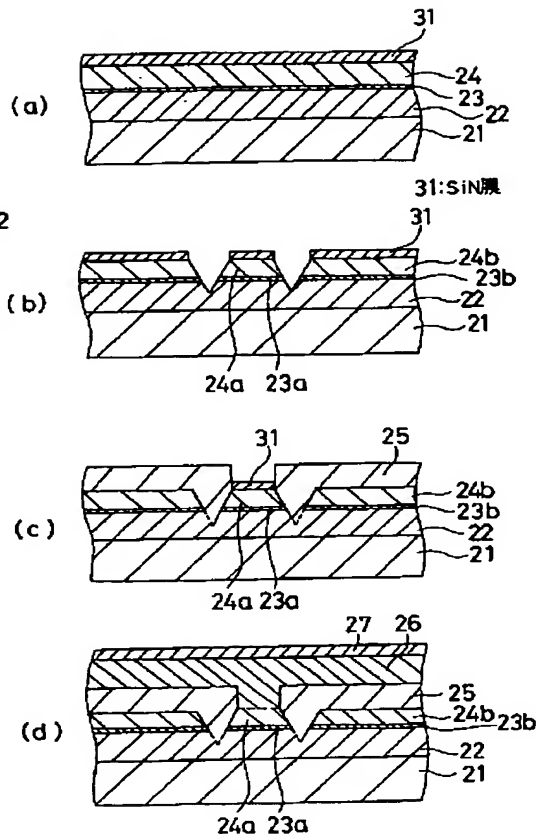
第2の無効電流

【図4】

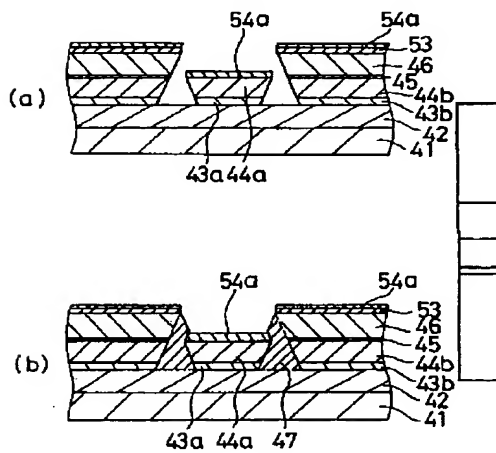


- 21: p型InP 基板
 22: p型InP 下クラッド層
 23a: フォンドープInGaAsP 活性層
 24a: n型InP 第1上クラッド層
 24b: n型InP 電流ブロック層
 25: p型InP 電流ブロック層
 26: n型InP 第2上クラッド層
 27: n型InGaAsP コンタクト層
 28: 絶縁膜
 29: p側電極
 30: n側電極

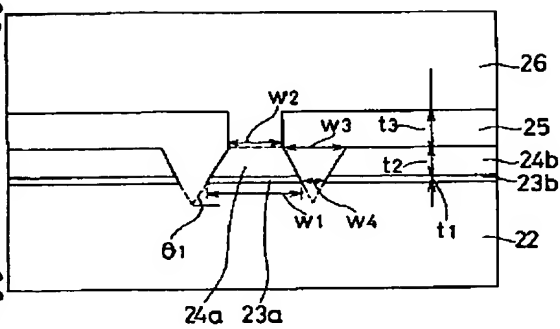
【図5】



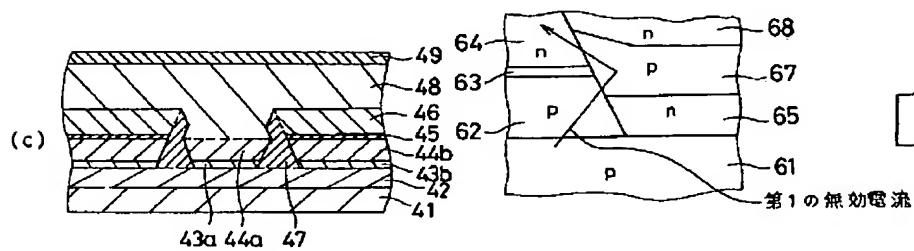
【図8】



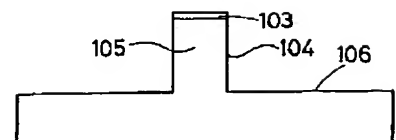
【図9】



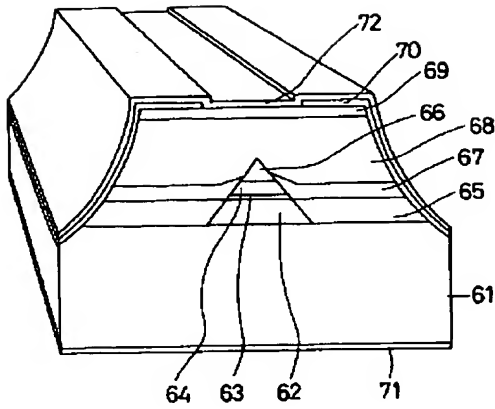
【図18】



【図28】

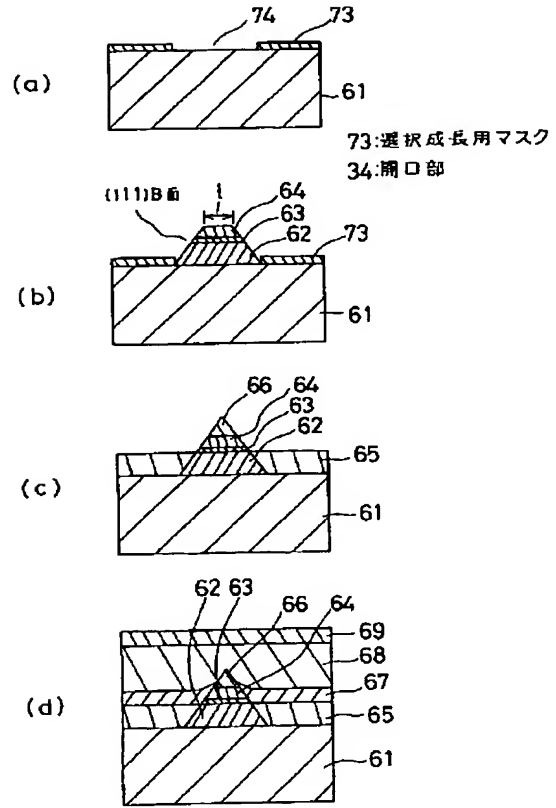


【図11】

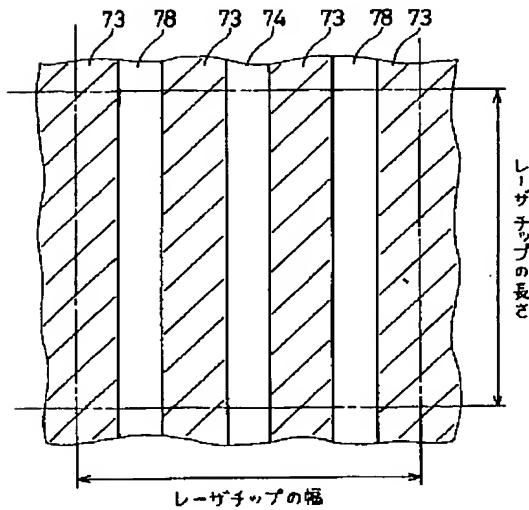


61:P型InP基板
 62:P型InP下クラッド層
 63:アンドープInGaAsP活性層
 64:n型InP第1上クラッド層
 65:n型InP電流ブロック層
 66:n型InP層
 67:P型InP電流ブロック層
 68:n型InP第2上クラッド層
 69:n型InGaAsPコンタクト層
 70:絶縁膜
 71:P側電極
 72:n側電極

【図12】

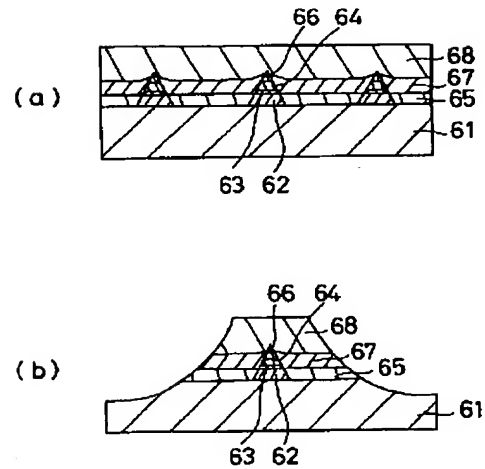


【図20】

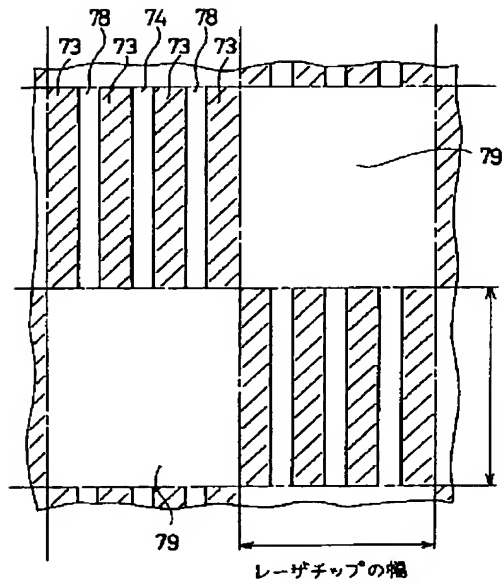


73:マスク部分
 74:能動層成長用開口部
 78:ダミー層成長用開口部

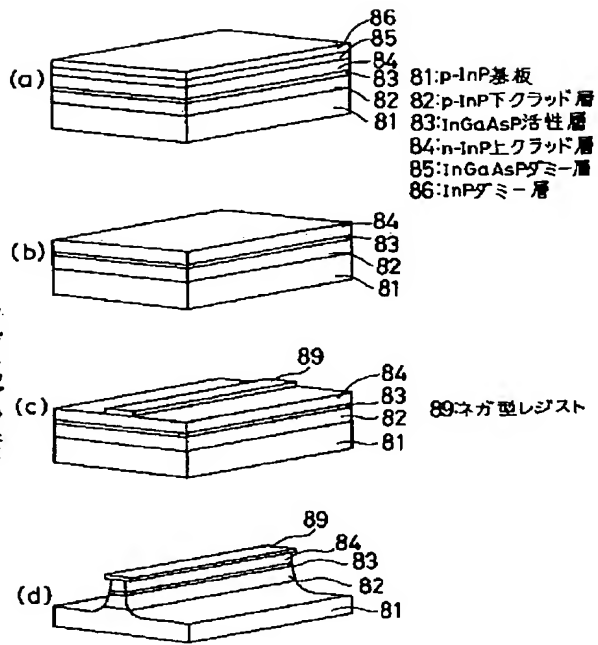
【図21】



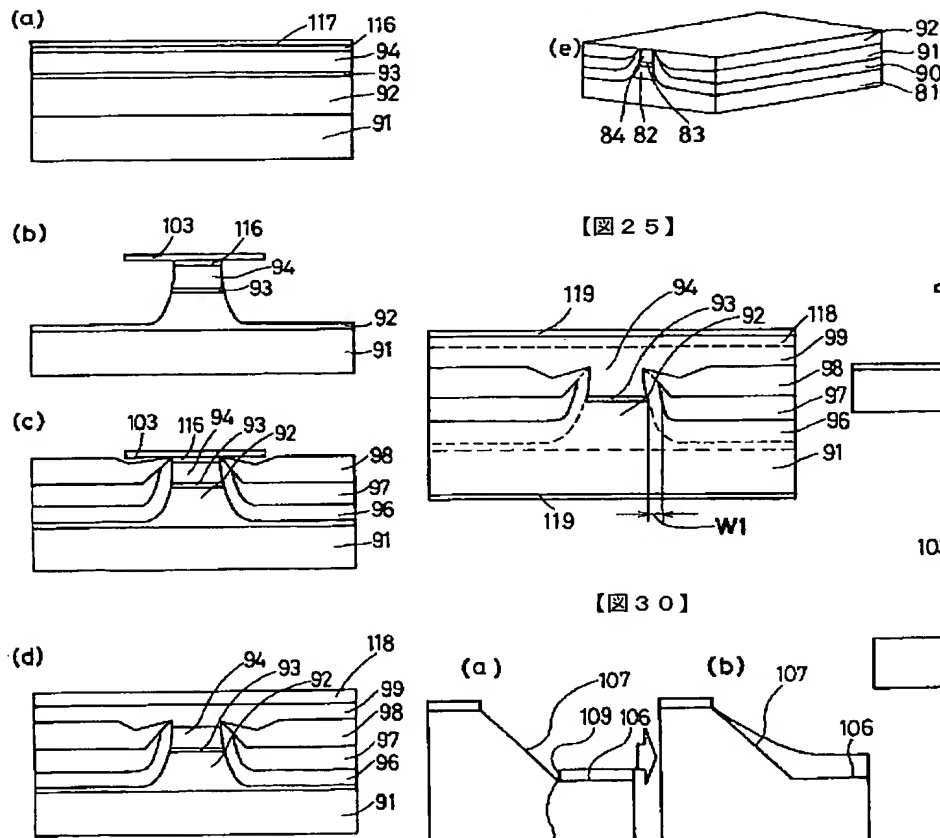
【図 2 2】



【図 2 3】



【図 2 4】



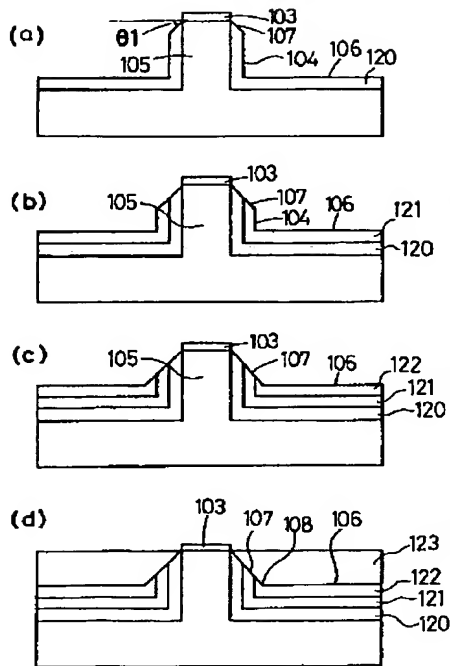
【図 2 5】

【図 2 7】

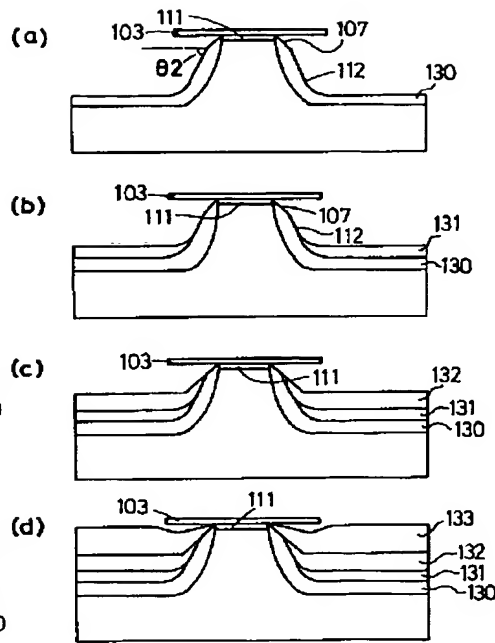
【図 3 1】

【図 3 0】

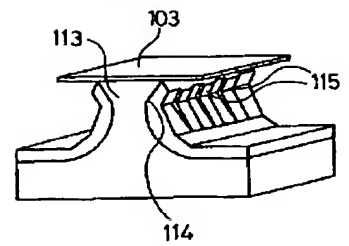
【図 2 9】



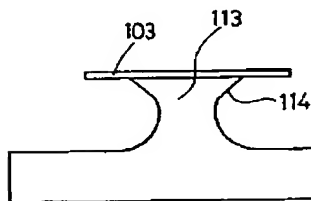
【図 3 2】



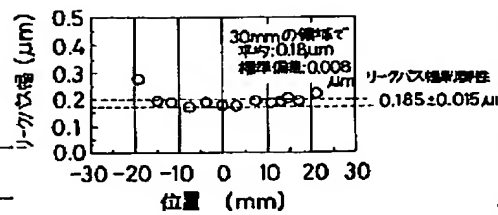
【図 3 4】



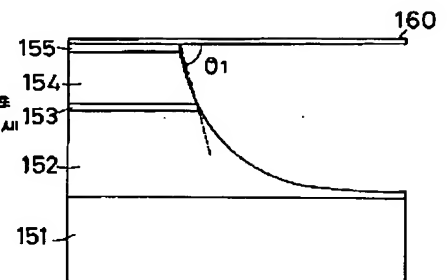
【図 3 3】



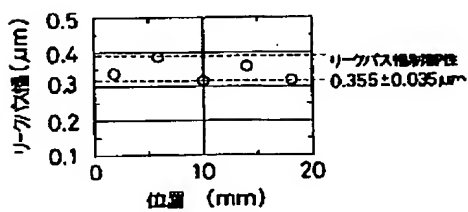
【図 3 5】



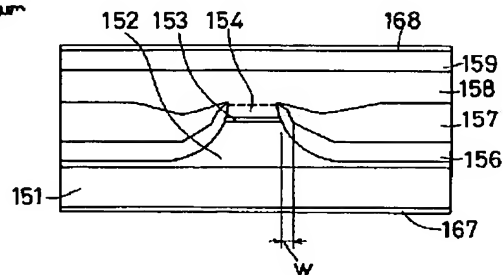
【図 3 8】



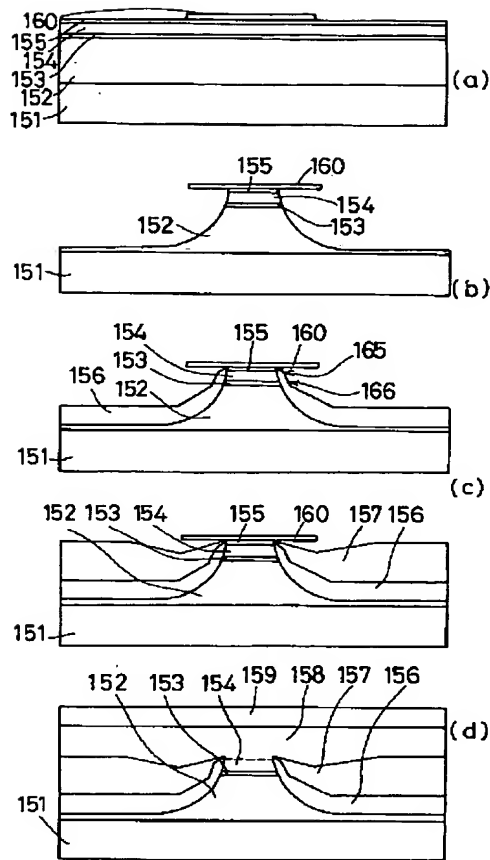
【図 3 6】



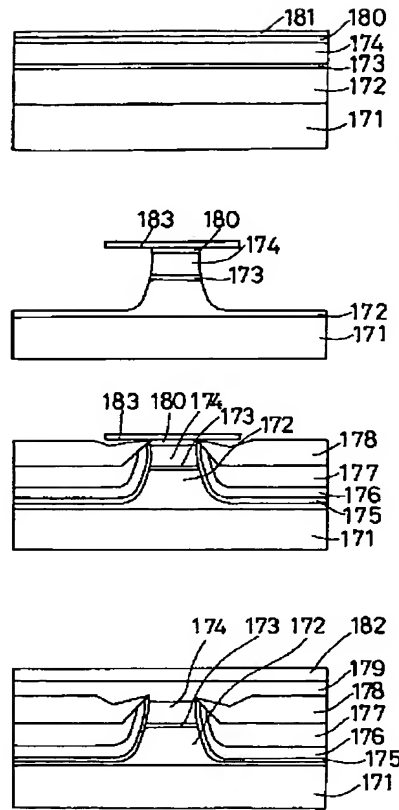
【図 3 9】



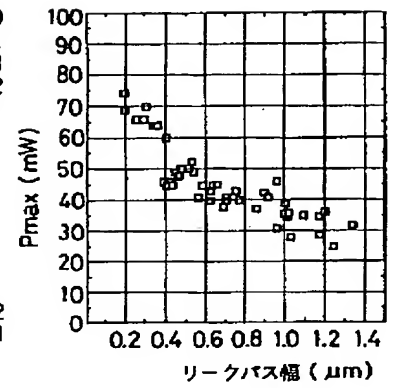
【図 3 7】



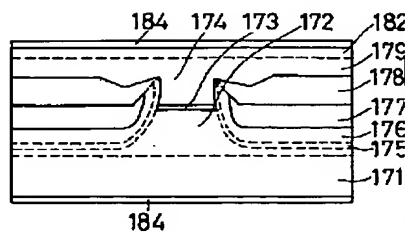
【図 4 0】



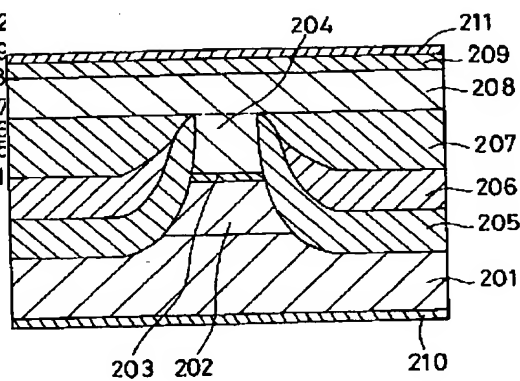
【図 5 6】



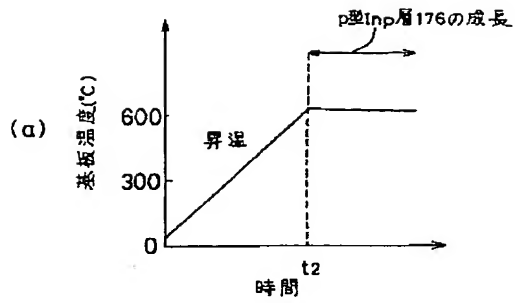
【図 4 1】



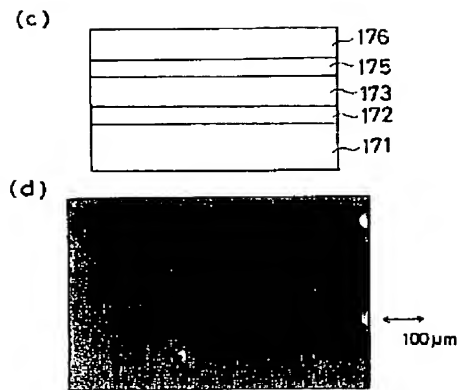
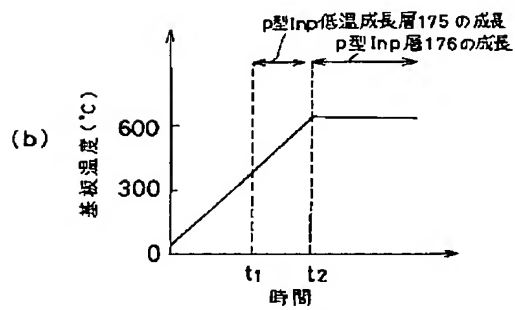
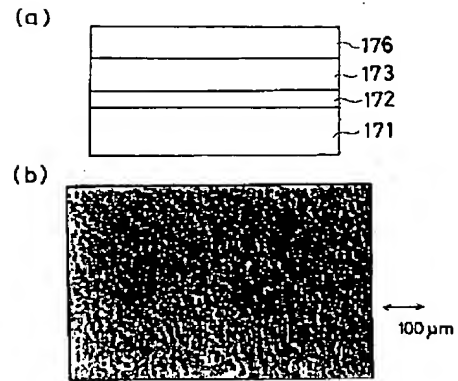
【図 4 5】



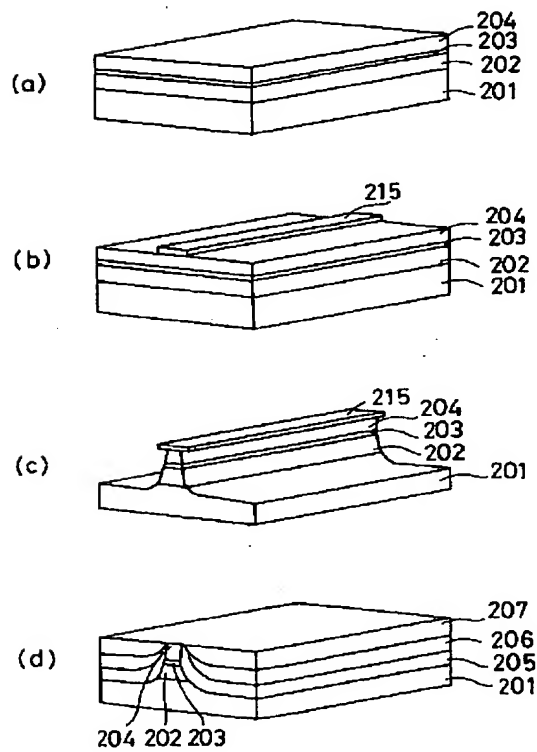
【図42】



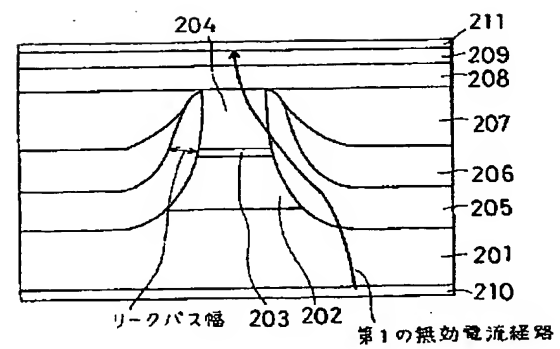
【図43】



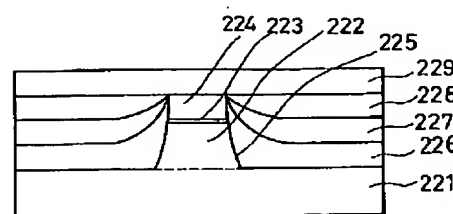
【図46】



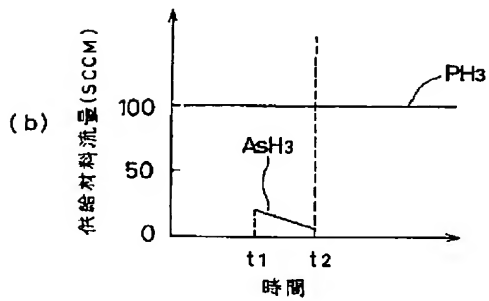
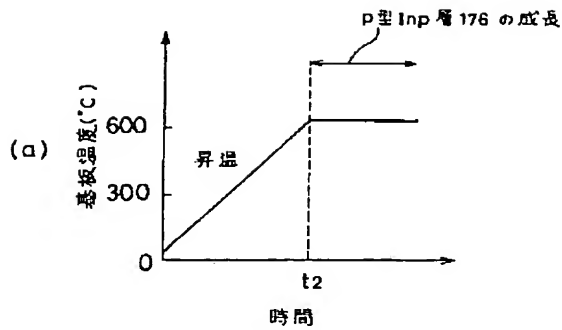
【図48】



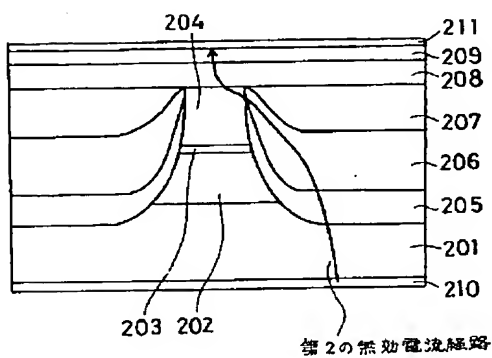
【図52】



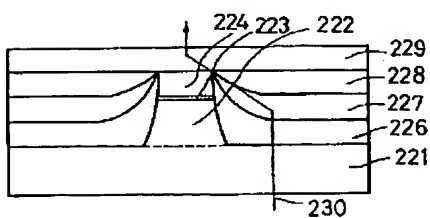
【図44】



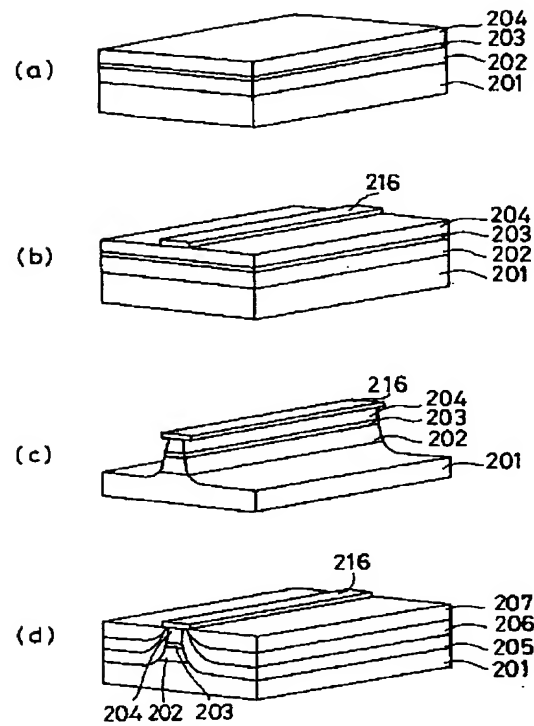
【図49】



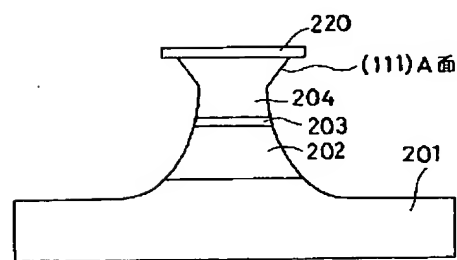
【図53】



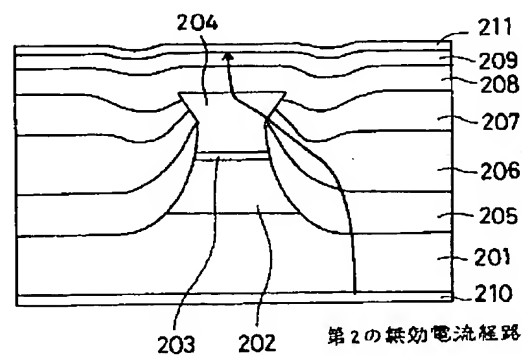
【図47】



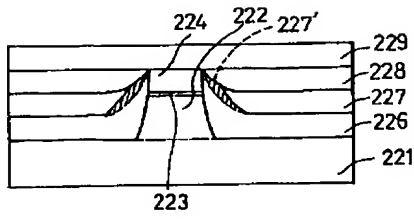
【図50】



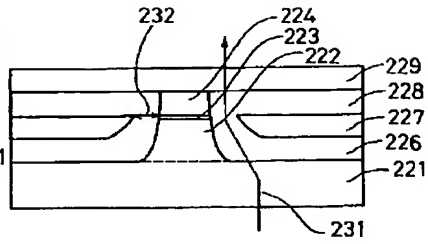
【図51】



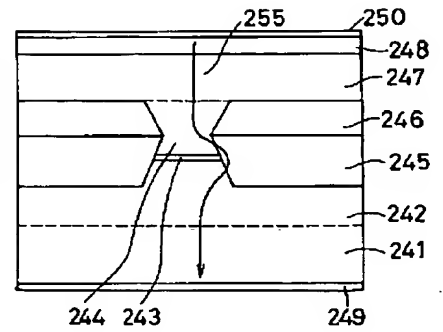
【図54】



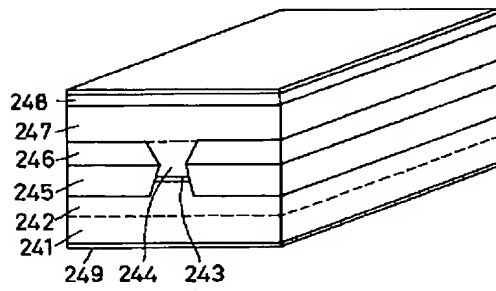
【図55】



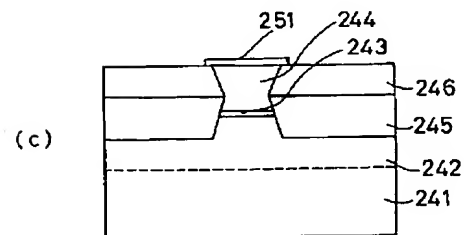
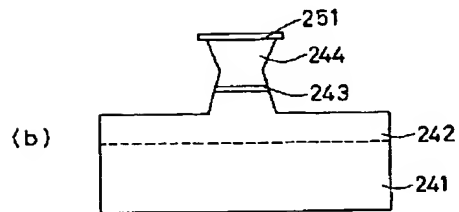
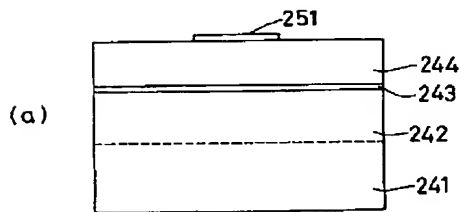
【図58】



【図57】



【図59】



【手続補正書】

【提出日】平成5年5月17日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0074

【補正方法】変更

【補正内容】

【0074】

【実施例】実施例1. 図1は本発明の第1の実施例による半導体レーザの構造を示す図であり、図において、1はp型InP基板である。p型InP下クラッド層2は基板1上に配置され、アンドープInGaAsP活性層3は下クラッド層2上に配置され、n型InP第1上クラッド層4は活性層3上に配置される。下クラッド層2、活性層3、第1上クラッド層4で構成されるダブルヘテロ構造はエッチングにより形成された2条のチャンネル溝によりメサストライプ形状に成形されている。p型InP埋込層5、n型InP電流ブロック層6、及びp型InP電流ブロック層7はチャンネル溝内にメサストライプ形状のダブルヘテロ構造を埋め込むように順次配置されている。また13はp型電流ブロック層7表面側から導入されたp型不純物により形成され、上記メサストライプの上部と上記n型電流ブロック層6とを分離するように配置されたp型不純物導入領域である。n型InP第2上クラッド層8は第1上クラッド層4上、及びp型不純物導入領域13上に配置され、n型InGaAsPコンタクト層9は第2上クラッド層8上に配置される。10は活性層3に対応する部分に開口が設けられた絶縁膜であり、n側電極12は絶縁膜10の開口部においてコンタクト層9に接するように絶縁膜10上に設けられる。またp側電極11は基板1裏面に設けられる。また、図2、及び図3は図1の半導体レーザの製造工程を示す断面図であり、図において、図1と同一符号は同一又は相当部分である。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0078

【補正方法】変更

【補正内容】

【0078】次に、図3(a)に示すように、マスク材15を付けたままチャンネル溝16内に、p型InP埋込層5、n型InP電流ブロック層6、p型InP電流ブロック層7をLPE法等により順次埋込成長する。この埋込成長では、結晶層はマスク材15上部には成長せず選択的に溝内に結晶成長が生じる。なお、メサストライプの先端部の形状が上述のように逆メサ形状となっているので、従来例でも説明したように、p型InP埋込層5の成長において、チャンネル溝側面の逆斜面部と順斜面部の成長速度が異なり、逆斜面部の成長膜厚は薄くなり、次の成長層であるn型InP電流ブロック層6を成長し

た際に、電流ブロック層6の先端部は逆メサ部に接触する。即ち、図50、図51で説明した不良構造と同じ状態となる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0094

【補正方法】変更

【補正内容】

【0094】活性層23の層厚 t_1 を $0.13\mu\text{m}$ 、n型電流ブロック層24bの層厚 t_2 を $0.5\mu\text{m}$ 、p型電流ブロック層の層厚 t_3 を $0.5\mu\text{m}$ とした場合、活性層の発光領域23aの幅 w_1 を $2\mu\text{m}$ とするための、n型InP第1上クラッド層24aの上端の幅 w_2 、即ち図5(b)の工程におけるSiN膜31の中央のストライプ幅は、

$$w_2 = w_1 - 2(t_1 + t_2)(\tan \theta_1)^{-1}$$

で与えられる。ここで、 θ_1 は 54.7° であるので、 w_2 は $1.1\mu\text{m}$ となる。また、リーク電流経路の幅である活性層23aと23bとの間の距離 w_4 は、

$$w_4 = w_3 - 2(t_1 + t_2)(\tan \theta_1)^{-1}$$

で与えられる。従って、n型電流ブロック層24bの上端部と第1上クラッド層24aの上端部との間の距離 w_3 、即ち、図5(b)の工程におけるSiN膜31のストライプ状開口の幅で決まり、これを $1.2\mu\text{m}$ とした場合には、リーク電流経路の幅は $0.3\mu\text{m}$ となる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0107

【補正方法】変更

【補正内容】

【0107】活性層43の層厚 t_4 を $0.13\mu\text{m}$ 、n型電流ブロック層44bの層厚 t_5 を $0.5\mu\text{m}$ 、エッチングストップ層45の層厚 t_6 を $0.05\mu\text{m}$ 、p型電流ブロック層の層厚 t_7 を $0.5\mu\text{m}$ とした場合、活性層の発光領域43aの幅 w_5 を $2\mu\text{m}$ とするための、n型InP第1上クラッド層44aの上端の幅 w_6 は、

$$w_6 = w_5 + 2(t_4 + t_5)(\tan \theta_2)^{-1}$$

で与えられる。ここで、 θ_2 は 54.7° であるので、 w_6 は $2.9\mu\text{m}$ となる。p型InP電流ブロック層46の上端間の距離 w_7 、即ち、図7(b)の工程におけるSiN膜53の開口幅は、概略この第1上クラッド層44aの上端の幅 w_6 と等しければよいので、SiN膜53の開口幅を $2.9\mu\text{m}$ とすればよい。一方、n型電流ブロック層44bの上端部と第1上クラッド層44aの上端部との間の距離 w_8 、即ち、図7(d)の工程におけるSiN膜54aの開口幅は、

$$w_8 = (t_6 + t_7)(\tan \theta_2)^{-1}$$

で与えられ、 $0.35\mu\text{m}$ となる。また、リーク電流経路の幅である活性層43aと43bとの間の距離 w_9

は、

$$w_9 = w_8 + 2(t_4 + t_5)(\tan \theta_2)^{-1}$$

で与えられ、1.2 μm となる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0118

【補正方法】変更

【補正内容】

【0118】〈011〉方向にのびるストライプ形状を有し、{111}B面からなる側面を有する台形リッジ部分75を形成した基板にMOCVD法による埋込成長形状を調べた結果、リッジ部分の断面形状が台形のうちは、リッジの両側の部分は図13(a)に示すように{100}面に平行して結晶成長が進み、図13(b)に示すようにリッジ部分の先端が三角形となり、終端した後は、{111}B面に付着した原子の影響のため、リッジ近傍は図13(c)に示すように、{311}面等が出るような成長形状に代わることがわかった。従って、半導体レーザのn型InP電流ブロック層65を{100}面に平行に形成することにより、リークパス幅はn型InPブロック層65の厚さのみで制御可能となる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0126

【補正方法】変更

【補正内容】

【0126】図20に示すような選択成長用マスクパターンを用いれば、ダミー層成長用開口部を設けることにより、マスクのストライプを分割し、1本当たりのマスクストライプ幅を狭くすることが可能となる。図12(b)の工程において、マスクのストライプ幅が広い場合には、選択成長の際にポリ結晶がマスク上に析出し、マスクが除去できなくなるといった問題が発生しやすくなる

が、図20に示すようなパターンとしてマスクのストライプ幅を10～数100 μm 程度と狭くすることにより、マスク上のポリ結晶の析出は抑えることができる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0129

【補正方法】変更

【補正内容】

【0129】また、図20に示すマスクパターン例では、レーザチップ1個の領域内にダミー層成長用開口部を設けたが、図22に示すように、隣接するレーザチップ領域にもダミー層成長用開口部79を設けてもよい。選択成長を行なうレーザチップ領域に近接して大きなダミー層成長用開口部79を設けた場合、成長材料の掃き出しが容易となるので、マスクのストライプ幅が数100 μm 以上と比較的広くしても、マスク上にポリ結晶が析出することがなく、選択成長を行うレーザチップ領域の設計の自由度を向上できる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0131

【補正方法】変更

【補正内容】

【0131】次に、本実施例における光導波路の形成工程について説明する。まず、p型InP基板81上に例えばMOCVD法を用いて、層厚約1 μm のp型InP層82、層厚約0.1 μm のInGaAsP活性層83、及び層厚約1 μm のn型InP上クラッド層84を順次エピタキシャル成長し、更に連続してn型InP上クラッド層84上に層厚約0.5 μm のInGaAsPダミー層85と層厚約0.5 μm のInPダミー層86を同じくMOCVD法によりエピタキシャル成長する(図23(a))。

フロントページの続き

(72)発明者 木村 忠

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社光・マイクロ波デバイス研究所内

(72)発明者 森 健三

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社光・マイクロ波デバイス研究所内

(72)発明者 川間 吉竜

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社光・マイクロ波デバイス研究所内

(72)発明者 金野 信明

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社光・マイクロ波デバイス研究所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.